



# TREBALL FINAL DE GRAU



ESCOLA  
POLITÈCNICA SUPERIOR  
UNIVERSITAT DE LLEIDA  
INSPIRING THE FUTURE

Estudiant: PAU FONTOVA MUSTÉ

Titulació: Grau en Enginyeria Electrònica Industrial i Automàtica

Títol de Treball Final de Grau: **DISSENY I IMPLEMENTACIÓ DE CIRCUITS DIGITALS BASATS EN L'ÚS D'EINES DE HW/SW LLIURE.**

Director/a: **ALBERT SAIZ VELA / CONCEPCIÓ ROIG MATEU**

Presentació

Mes: Setembre

Any: 2018

## Taula de contingut

1. Introducció .....	3
1.1.Objectius .....	4
1.2.Avantatge SW/HW lliure. ....	5
2. Plaques FPGA .....	8
2.1.Definició de FPGA .....	8
2.2.Elements d'una FPGA .....	10
2.3.Tipologia de FPGA .....	15
2.4.Estudi de mercat.....	18
2.4.1. Principals fabricants: .....	19
2.4.2.Altres fabricants.....	27
3. Projecte Icestorm de SW / HW lliure.....	33
3.1.ICE40 .....	34
4. Disseny de circuits lògics.....	36
4.1.Placa base.....	38
4.1.1.Icezum Alhambra.....	39
4.2.Eines i codis de programació .....	45
4.2.1.Arquitectura en Verilog .....	46
4.2.2.Programació en Verilog .....	48
4.2.3.Eines lliures .....	50
4.3.Entorns de disseny gràfic .....	52
5. Disseny de la placa d'entrenament.....	54
5.1.Elements electrònics .....	55
5.2.Disseny.....	56
5.3.Resultat .....	59
6. Proposta de pràctiques de circuits lògics.....	62

Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure

6.1. Pràctica 1: Blink LEDs .....	63
6.2. Pràctica 2: Descodificador BCD a 7 – Segments .....	67
6.3. Pràctica 3: Cruïlla de semàfor .....	71
6.4. Pràctica 4: Control de nivell .....	76
6.5. Pràctica 5: Encriptació .....	80
6.6. Pràctica 6: Panell de seguretat .....	86
7. Conclusió .....	90
7.1. Cost del projecte .....	91
7.2. Elements del projecte .....	92
8. Bibliografia .....	93

## 1.Introducció

Des del començament del progressiu estancament de la llei de Moore, ja que no és pot delegar la millora de la velocitat dels algoritmes al continu augment de la potencia, i des de l'adquisició d'Altera per part d'Intel, les FPGAs han guanyat un gran pes dins el mercat tecnològic.

A més, el maig de 2015 Clifford Wolf i altres enginyers van desenvolupar i van alliberar totes les eines necessàries per generar el bitstream d'una Lattice iCE40.

Mai fins aquest moment s'havia pogut aconseguir això sense dependre de les eines privatives i amb un cost excessiu pròpies de cada fabricant. Això ha significat que molts aficionats s'estan introduint en un camp fins ara limitat i tancat principalment només per a investigadors i indústries molt específiques.

Per aquest motiu, la comprensió de les FPGA com una eina de futur i l'aparició d'aquestes noves eines de treball totalment lliures tant a nivell de software com hardware, habiliten les FPGA com una gran eina a tenir a tenir en compte en l'àmbit universitari, ja que poden esdevenir una base sòlida a l'hora d'aprendre disseny de circuits digitals i també com a primer pas per entendre el funcionament de microcontroladors i microprocessadors.

## 1.1. Objectius

Partint de la introducció prèviament realitzada, podem definir uns objectius clars per aquest projecte.

➤ Objectiu principal:

- Dissenyar una placa d'entrenament per a les classes de l'assignatura d'electrònica digital, que serveixi com a eina bàsica d'aprenentatge i comprensió d'aquest tipus de circuits. Aquesta placa tindrà l'objectiu d'anar acoblada a una placa FPGA.
- Realitzar el disseny de diverses pràctiques o activitats, que serveixin de base als estudiants a iniciar-se en el món de les FPGAs i que els ajudin a adquirir aptituds de disseny en aquestes.
- Implementar la realització de totes les activitats del projecte utilitzant només eines lliures, tant a nivell de software com a nivell de hardware.

➤ Objectius secundaris:

- Estudiar, analitzar i escollir el tipus de placa FPGA que es pretén utilitzar i les seves aplicacions.
- Estudiar, analitzar i escollir els tipus de llenguatge i aplicacions més òptims per a la realització del projecte.
- Estudiar, analitzar i comparar els principals fabricants de FPGAs que disposa el mercat actual.

## 1.2. Avantatge SW/HW lliure.

El terme "codi obert / open source" es refereix als productes dissenyats per ser públicament accessibles per a diferents usuaris, disposant de tota llibertat per utilitzar, modificar i compartir aquests productes. El programari de codi obert és un programari que tothom pot accedir, inspeccionar i millorar el codi font que la majoria dels usuaris mai no veuen en circumstàncies normals, ja que aquest és ocultat pels fabricants.

Un codi font és una llista de comandaments de text escrits per programadors d'ordinador, que es poden compilar o muntar en un programa d'ordinador executable.

Els desenvolupadors de codi obert decideixen fer que el codi font del seu programari estigui disponible públicament per al bé de la comunitat i publicar el seu programari amb una llicència de codi obert; és a dir, que altres desenvolupadors puguin veure com funciona i afegir-hi. Exemples de productes de codi obert inclouen Open Office, el navegador d'Internet Mozilla Firefox, Wikipedia, el sistema operatiu GNU / Linux i el seu derivat Android, un sistema operatiu per a dispositius mòbils.

A continuació es detallen alguns dels possibles avantatges de l'ús d'aquests:

Avantatges:

- **Fiabilitat:** El programari de codi obert és generalment desenvolupat per desenes o centenars de voluntaris que simplement estimen el que fan per a la comunitat. Amb una comunitat mundial que recolza una base de codi, en lloc d'un equip dins d'un codi d'empresa, es desenvolupa en fòrums en línia i es guia per experts. La sortida sol ser un codi extremadament robust, provat i testejat. Per això, la majoria del

programari de codi obert són programes d'alta qualitat. A més, com que qualsevol persona pot accedir al codi i corregir un error, s'afegeix la millora contínua i les noves versions o funcions afegides al programari.

- Gran comunitat. Moltes ments unides poden oferir resultats poderosos. El poder col·lectiu d'una comunitat d'individus amb talent que treballa en un concert ofereix no només més idees, sinó un desenvolupament més ràpid i resolució de problemes més òptim. Les comunitats globals unides al voltant de la millora d'aquestes solucions introdueixen nous conceptes i capacitats més ràpids, millors i més efectius que els equips interns que treballen en solucions propietàries.
- Transparència. El codi font obert vol dir obtenir una visibilitat completa de la base de codi, així com totes les discussions sobre com la comunitat desenvolupa funcions i adverteix errors. Per contra, el codi propietari produït en secret pot venir amb limitacions imprevistes i altres sorpreses no desitjades. Amb codi obert, està protegit contra els riscos de bloqueig i ofereix una visió completa del que es rep.
- Cost efectiu. Tot i que les solucions de codi obert es consideren més que només programari lliure, el fet que no requereixen tarifes de llicència segueix sent un avantatge decisiu en considerar el cost total d'implementar una solució.
- Evoluciona contínuament en temps real, ja que els desenvolupadors s'afegeixen a ell i la modifiquen, el que significa que pot ser de millor qualitat i més segur i menys propens a errors que els sistemes propietaris, ja que disposa d'usuaris fixant i eliminant problemes.

Degut aquestes característiques, l'ús de hardware i software lliure poden esdevenir grans aliats en l'àmbit universitari, amb aquests ja no és necessària l'adquisició de costoses llicències de programes, les quals han de ser renovades cada poc temps, a més a més l'ús de programes ja no esdevindria només en les aules universitàries, ja que aquest ús sense costos es podria realitzar des de qualsevol espai.

També cal tenir en compte que la utilització de codi obert podria ajudar als estudiants a ser més flexibles, innovadors i originals. Ja que com no està lligat a un producte patentat, no hi ha necessitat de complir una arquitectura específica que pugui requerir actualitzar el programari sovint. Al contrari, es pot innovar i combinar el programari i crear una infraestructura informàtica única que s'adapti a les nostres necessitats.

En el hardware lliure, podem elaborar un objecte físic, els fitxers del qual es comparteixen obertament amb el món, poden ser copiats o modificats de forma aleatòria, cosa que permet que qualsevol persona pugui estudiar, modificar, distribuir i dissenyar el hardware basant-se en aquest disseny.

El hardware de codi obert dóna a la gent la llibertat de controlar la seva tecnologia mentre comparteix el coneixement i afavoreix el comerç a través de l'intercanvi obert de dissenys. Compartir dissenys pot permetre la innovació en una escala a nivell global.



## 2. Plaques FPGA

### 2.1. Definició de FPGA

Les Field Programmable Gate Array (FPGAs) són dispositius semiconductors que es basen al voltant d'una matriu de blocs lògics configurables (CLB) connectats mitjançant interconnexions programables. Les FPGA es poden tornar a programar als requeriments d'aplicació o funcionalitat desitjats després de la seva fabricació. Aquesta característica distingeix les FPGA dels circuits integrats específics de les aplicacions (ASIC), que es fabriquen personalment per a tasques de disseny específics. Encara que les FPGA d'un sol ús (OTP) programables estan disponibles, els tipus dominants es basen en Static Random Access Memory (SRAM) que es poden reprogramar a mesura que n'evoluciona el disseny.

Actualment, per disminuir el temps de resposta dels circuits, les FPGA s'estan utilitzant en diverses indústries com electrònica de consum, processament de dades, automòbils, aeroespacial i defensa, telecomunicacions i altres indústries. Entre aquestes indústries, es preveu que les telecomunicacions tinguin la major participació amb l'augment de l'adopció de serveis 3G, 4G, LTE i 5G, augmentant la demanda de telèfons intel·ligents i accés a internet d'alta velocitat a les regions. S'espera que la tecnologia SRAM i les tecnologies FPGA basades en flash puguin tenir una taxa de creixement significativa durant els pròxims anys, a causa de la seva naturalesa no volàtil, el seu baix consum d'energia, la seva reprogramació i els circuits reconfigurables.

El terme "programable / reconfigurable" en FPGA indica la seva capacitat d'implementar una nova funció en el xip després de la seva fabricació. La reconfigurabilitat / programabilitat d'una FPGA es basa en una tecnologia de programació subjacent, que pot provocar un canvi en el comportament d'un xip prefabricat després de la seva fabricació.

Una FPGA és el més pròxim que es pot arribar a dissenyar realment el nostre propi xip, de manera plena des de zero, igual que un ASIC, això permet dissenyar e implementar qualsevol funció digital i virtualment possible, que puguem imaginar dins del xip universal, sent a l'hora de treballar xips molt flexibles.

La gran diferència entre una FPGA i pràcticament qualsevol altre xip que podem comprar al mercat, és que la FPGA no fa res, no té cap funció predefinida en el moment de comprar-la.

La principal diferència entre un FPGA i un microprocessador, és que el processador és un dispositiu complex amb un conjunt d'instruccions, cadascuna d'aquestes instruccions està associada un hardware connectat de forma fixa, obligant al programador a utilitzar només les que estan ja definides i configurades pel fabricant

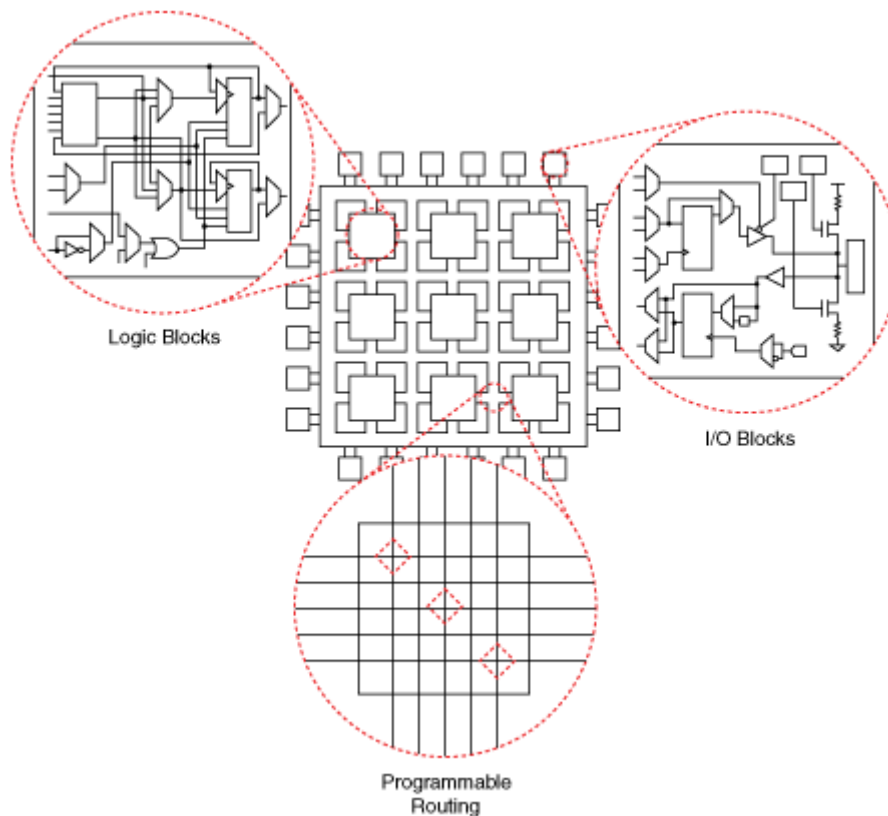
Una altra gran diferència consisteix en l'execució d'aquestes instruccions, quan programem un microprocessador executem aquestes seqüencialment o en sèrie, és a dir, una després de l'altra en l'ordre que estan escrites.

No obstant això, una FPGA pot executar múltiples tasques simultàniament, però en aquest cas està limitada per espai. Per realitzar més treball, es necessiten més circuits i per tant més capacitat per albergar-los.

## 2.2. Elements d'una FPGA

Normalment les FPGAs estan formades per:

- Blocs lògics programables que implementen funcions lògiques.
- Enrutament programable que connecta aquestes funcions lògiques.
- Blocs I/O connectats a blocs lògics mitjançant interconnexió d'enrutament i que permeten realitzar les connexions fora del xip.



**Figura 1: Elements d'una FPGA**

En la figura 1, es mostra un exemple generalitzat d'una FPGA on la lògica configurable dels blocs (CLB) estan disposats en una quadrícula bidimensional i estan interconnectats per enrutaments programables. Els blocs d' I/O estan disposats a la perifèria del grid i també estan connectats a la

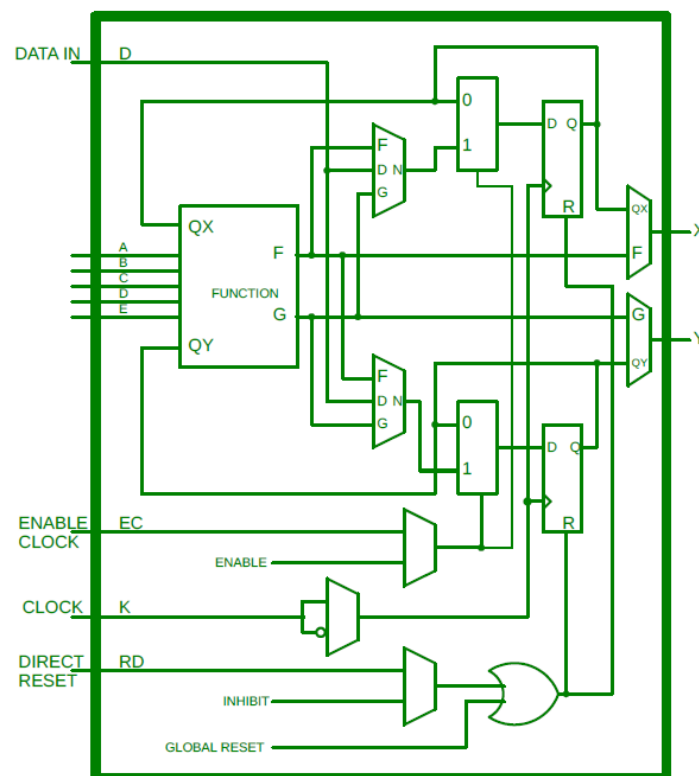
interconnexió d'enrutament programable. A Continuació s'exposa el funcionament de cadascun dels elements que conformen la FPGA.

- **CLB (Configurable logic blocs)**

Aquests blocs poden implementar pràcticament qualsevol funció bàsica que puguem imaginar, podem configurar-los de qualsevol manera que vulguem realitzar qualsevol funció digital complexa o fins i tot simple.

Connectats entre si per una matriu de cables, permeten realitzar qualsevol configuració possible

No hi ha un estàndard estricte per a l'arquitectura d'un CLB en cap FPGA particular, existeixen diverses estructures depenen del fabricant. Encara que la majoria comparteixen elements en comú.



**Figura 2: Sèrie Xilinx 3000**

En la figura 2 es mostren les funcions lògiques contingudes dins del CLB (bloc lògic configurable) que pertany a la empresa Xilinx, en concret a la sèrie Xilinx 3000.

Consisteix en una matriu de lògica combinacional, multiplexors de dades controlades per programes i flip-flops.

El CLB conté cel·les de memòria RAM i es pot programar per realitzar qualsevol funció de cinc variables o dues funcions de quatre variables. Les funcions s'emmagatzemen en el formulari de la taula de la veritat, de manera que la quantitat de portes necessàries per realitzar les funcions no esdevé important en l'esquema. l'esquema també està format per blocs trapezoïdals que representen multiplexors, que poden ser programats per elegir cadascuna de les seves entrades.

- **Rutes Programables**

En una FPGA, la funcionalitat de computació es proporciona mitjançant els seus blocs lògics programables i aquests blocs es connecten entre si a través de la xarxa d'enrutament programable. Aquesta xarxa d'enrutament programable proporciona connexions d'enrutament entre els blocs lògics i els blocs d' I/O per implementar qualsevol circuit definit per l'usuari.

La interconnexió d'enrutament d'una FPGA es compon de cables i commutadors programables que formen la connexió requerida. Aquests commutadors programables es configuren mitjançant tecnologia programable.

Atès que les architectures FPGA han de ser viables per a la implementació de qualsevol circuit digital, la seva interconnexió d'enrutament ha de ser molt flexible per poder adaptar-se a una àmplia varietat de circuits amb demandes d'enrutament molt diferents i complexes.

Encara que els requisits d'enrutament varien de circuit a circuit, algunes característiques comunes d'aquests circuits es poden utilitzar per dissenyar de

forma òptima la interconnexió de l'arquitectura FPGA. Per exemple, la majoria dels dissenys intenten tenir una distància mínima entre blocs, abundant d'aquesta manera les connexions locals o pròximes. Però també hi ha connexions distants, que condueixen a la necessitat de cables llargs dispersos. Per tant, al dissenyar la interconnexió d'encaminament per a les arquitectures FPGA s'han d'abordar en la mateixa proporció la flexibilitat i l'eficiència. L'ordenació dels recursos d'enrutament, relatius a l'ordenació dels blocs lògics de l'arquitectura, té un paper molt important en l'eficiència global de l'arquitectura. Aquest arranjament es denomina aquí com a arquitectura global d'enrutament, mentre que els detalls microscòpics sobre la topologia de commutació dels diferents blocs de commutadors es denominen arquitectura d'enrutament detallada. Sobre la base de l'ordenació global dels recursos d'enrutament de l'arquitectura, les arquitectures FPGA es poden classificar com a jeràrquiques o insulars.

- **Blocs Entrada/Sortida (Input/Output Blocks)**

Per poder rebre i transmetre senyals digitals, les FPGA disposen d'un bloc d'Entrada/sortida bastant elaborat que possibilita ser utilitzats amb molts diversos rangs de tensions, freqüències de treball, estàndards de senyals digitals, etc. El que els fa molt adaptables a les necessitats del sistema del qual formen part.

Existeix un bloc d'Entrada/sortida per cada terminal del FPGA. Així cada terminal pot ser configurat com a entrada, com a sortida o bidireccional. En cada bloc també hi ha un buffer que té diverses funcions configurables pel dissenyador que permeten adaptar el FPGA en un sistema complex treballant amb diferents tensions i corrents.

Els blocs d'E/S estan agrupats en el que es diuen bancs de blocs d'E/S. Depenent del model de FPGA, cada banc pot tenir entre 20 i 40 blocs. Cada

banc de blocs té la seva pròpia tensió d'alimentació (VCCO) i la seva pròpia tensió de referència  $V_{ref}$  que són comuns a tots els blocs. És per aquesta disposició de tensions de VCCO i  $V_{ref}$  per banc, que si es volen fer servir diferents estàndards d'E/S amb diferent VCCO, s'hauran de fer servir diferents bancs d'E/S.

### 2.3. Tipologia de FPGA

Depenent de l'organització interna dels blocs configurables lògics i de les rutes d'enrutament dins d'una FPGA, podem distingir 4 organitzacions d'arquitectura diferents:

**Basats en files:** la principal característica és la ordenació dels blocs en files, cadascuna d'aquestes estan separades per un canal per on es situen les interconnexions d'enrutament que permeten la connexió dels CLBs amb els diferents blocs d'entrada/sortida [Figura 3]. També existeixen alguns recursos d'interconnexió vertical, utilitzats per a enviar el senyal de rellotge.

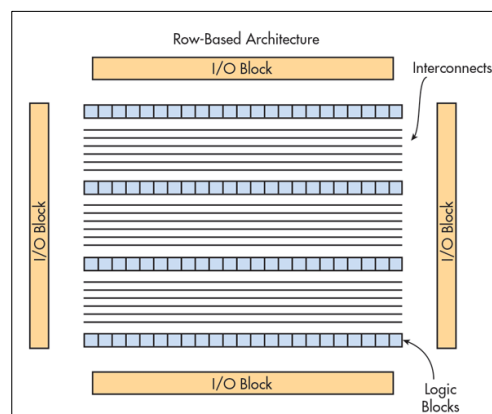
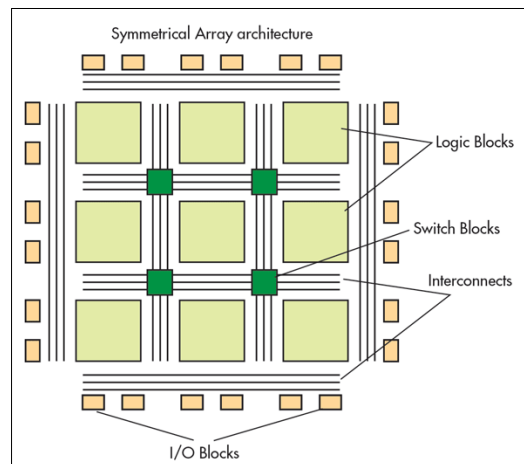


Figura 3: Arquitectura Row-Based

**Matrius simètriques:** aquesta estructura consisteix en blocs lògics disposats en files i columnes d'una matriu amb interconnexió de recursos entre ells [Figura 4]. Aquesta matriu simètrica en dues dimensions està envoltada per blocs d'Entrada / Sortida que la connecten al món exterior.

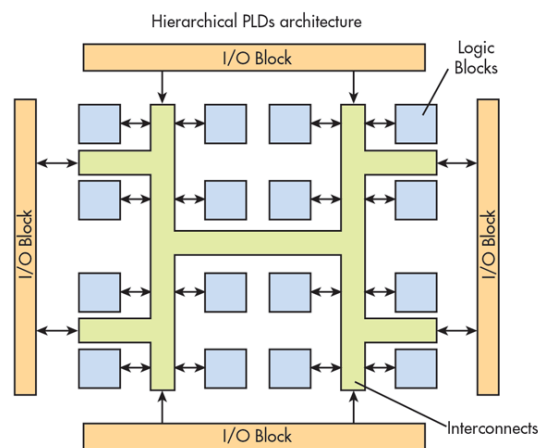


Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure



**Figura 4: Arquitectura matriu simètrica**

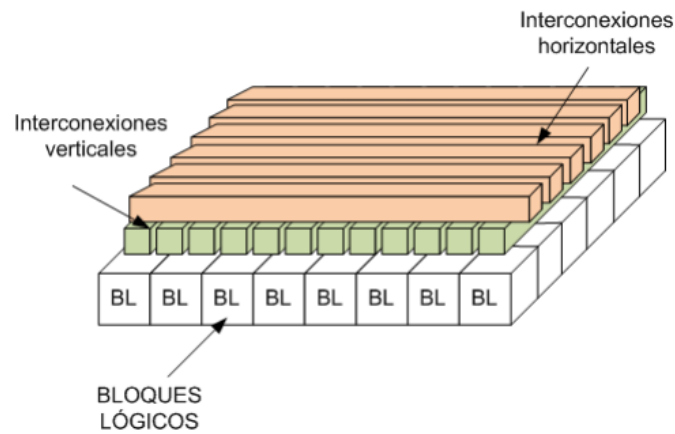
**Arquitectura PLD jeràrquica:** es dissenyen de manera jeràrquica amb el nivell superior que conté només blocs lògics i interconnexions [Figura 5]. Cada bloc lògic conté diversos mòduls lògics, i cada mòdul lògic té elements funcionals combinatoris i seqüencials.



**Figura 5: Arquitectura Jeràrquica**

**Arquitectura “Sea of gates” (mar de portes):** disposa d'una estructura molt semblant a l'arquitectura de matriu simètrica, la diferencia és que en aquest cas els CLBs i les rutes d'enrutament es troben en diferents capes [Figura 6], es disposa d'una primera capa on es situen els blocs configurables, i

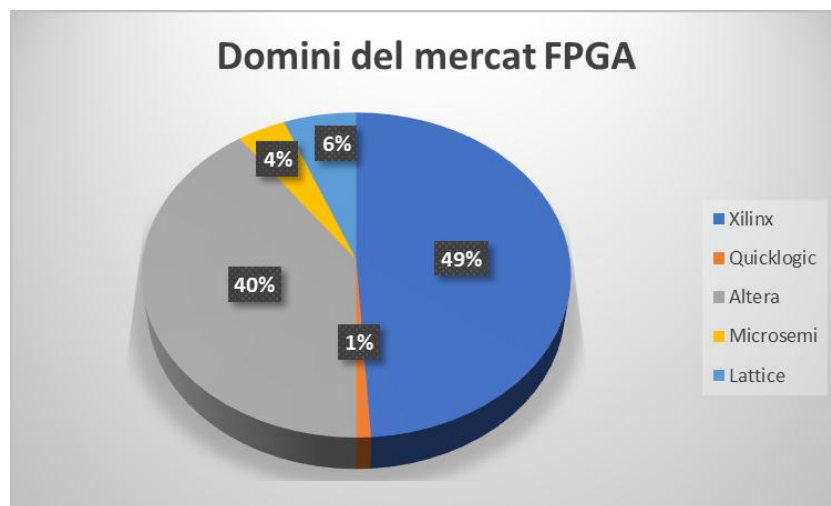
en dues capes diferents tant poden ser superiors com inferiors, es situen les rutes verticals i horitzontals, augmentant d'aquesta manera la velocitat d'operació de la FPGA.



**Figura 6: Arquitectura Sea of Gates**

## 2.4. Estudi de mercat

La regió d'Àsia i el Pacífic van mantenir la major quota de mercat en el mercat global de les FPGAs i s'espera que sigui el mercat de major creixement durant els pròxims anys. Possiblement, els factors que impulsen el creixement del mercat de FPGA a la regió d'Àsia i el Pacífic s'atribueixen a la creixent demanda de telèfons intel·ligents i dispositius de mà i augmenten els ingressos disponibles a la regió. Països com Xina, Japó, Índia, Taiwan i Corea del Sud són mercats clau per a aplicacions industrials, electrònica de consum i automoció.



**Figura 7: Mercat actual de FPGA**

Actualment en el mercat de les FPGAs podem diferenciar dos grans gegants que dominen la major part del mercat d'aquests elements: Altera i Xilinx [Figura 7].

Xilinx ha estat competint amb Altera en el mercat de la FPGA durant molt de temps. Els observadors de la indústria temien que l'adquisició d'Altera per part d'Intel (1 de juny de l'any 2015) li donés un avantatge sobre Xilinx. No

obstant això, ambdues companyies tenen les seves pròpies fortaleeses i debilitats.

Mentre Intel té grans quantitats de capital, Xilinx manté el lideratge tecnològic. Aquests punts forts han fet que les dues empreses siguin fortes competidores en el mercat FPGA.

A més d'aquestes dues empreses hi ha altres fabricants importants de FPGA com són: Microsemi, Lattice o Quicklogic, encara que actualment no poden competir amb els gegants del mercat [Taula 1].

	2015		2016		
Vendor	FPGA Total	Market share	FPGA Total	Market share	Growth CY15-CY16
Xilinx	\$2,044	53%	\$2,167	53%	6%
Intel (Altera)	\$1,389	36%	\$1,486	36%	7%
Microsemi	\$301	8%	\$297	7%	-1%
Lattice	\$124	3%	\$144	3%	16%
QuickLogic	\$19	0%	\$11	0%	-40%
Others	\$2	0%	\$2	0%	0%
<b>TOTAL</b>	<b>\$3,879</b>	<b>100%</b>	<b>\$4,112</b>	<b>100%</b>	<b>6%</b>

Taula 1: Estimació facturació en milions de dòlars

#### 2.4.1. Principals fabricants:

- **Xilinx**

Xilinx, Inc. és una empresa tecnològica nord-americana, principalment proveïdora de dispositius lògics programables [Figura 8]. És coneguda per inventar la matriu de portes programable per camp (FPGA) i com a empresa de semiconductors que va crear el primer model de fabricació "fabless".



**Figura 8: Logotip de la empresa Xilinx**

Les FPGAs de Xilinx s'han utilitzat per al ALICE (A Large Ion Collider Experiment) en el laboratori europeu CERN, a la frontera franco-suïssa per a poder mapejar i desentranyar les trajectòries de milers de partícules subatòmiques. Xilinx també s'ha involucrat en una associació amb el Laboratori d'Investigació de Vehicles espacials de la Força Aèria dels Estats Units per al desenvolupament de FPGAs per resistir els efectes nocius de la radiació en l'espai, que són 1000 vegades menys sensibles a la radiació espacial que el seu equivalent comercial, per al desplegament de nous satèl·lits.

L'empresa Xilinx disposa de 4 famílies de productes principals:

- **Virtex:** la sèrie Virtex de FPGAs ha integrat característiques que inclouen la lògica FIFO i ECC, blocs DSP, controladors PCI-Express, blocs Ethernet MAC i transceptors de alta velocitat. A més de la lògica FPGA, la sèrie Virtex inclou hardware de funció fixada per a les funcions d'ús comú com multiplicadors, memòria, els transceptors de sèrie i microprocessadors nuclears. Aquestes capacitats s'utilitzen en aplicacions d'equips d'infraestructura, i sense fils, equips mèdics avançats, proves i mesuraments, i els sistemes de defensa.
- **Kintex:** la família Kintex-7 va ser la primera família de FPGAs de Xilinx de gamma mitjana que, segons l'empresa, lliura el rendiment de la família Virtex-6 a menys de la meitat del preu, mentre que consumeix un 50% menys energia. La família inclou Kintex de gran rendiment amb 12.5 Gbit/s, o de menor cost optimitzat amb 6.5 Gbit/s de connectivitat

en sèrie, la memòria lògica i el rendiment necessaris per a aplicacions d'alt volum 10G d'equips de comunicació per cable òptic, també proporcionen un equilibri de rendiment de processament de senyal, de consum d'energia i de cost per suportar el desplegament de xarxes inalàmbriques Long Term Evolution (LTE).

- **Artix:** principalment la sèrie Artix-7 [Figura 9], ofereix una potència 50% més baixa i un 35% més barata en comparació amb la família Spartan-6, i es basa en l'arquitectura unificada de la sèrie Virtex. Xilinx afirma que els FPGAs d'Artix-7 ofereixen el rendiment necessari per abordar, mercats de gran volum, sensibles als costos prèviament atesos per ASSPs, ASICs i FPGAs de baix cost. La família Artix està dissenyada per atendre les necessitats de rendiment de baix consum d'energia dels equips de bateries portàtils d'ultrasons, lents de control de la càmera digital comercial, militar i comunicacions.

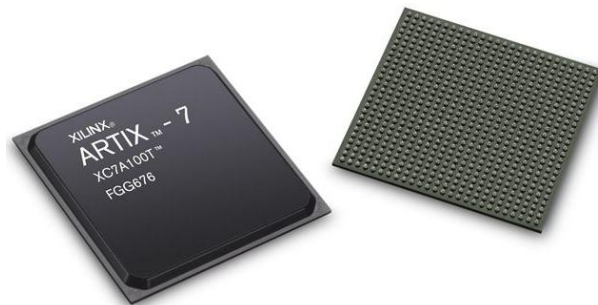


Figura 9: FPGA Xilinx sèrie Artix-7

- **Spartan:** la sèrie Spartan està dirigida a aplicacions de baixa potència, sensibilitat extrem i de gran volum; per exemple pantalles, decodificadors, routers inalàmbrics i altres aplicacions.

La família Spartan-6 es basa en una tecnologia de processador de doble òxid, amb 9 capes de metall de 45nm cada una. El Spartan-6 va

Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure

ser comercialitzat en 2009 com una solució de baix cost per a l'automoció, comunicacions inalàmbriques, de visualització i de vigilància de vídeo i aplicacions per a pantalles planes.

Les FPGA de Xilinx disposen d'un tamany de capa que pot oscil·lar des dels 45 nm per la sèrie Spartan, fins a les capes més primes de les famílies Virtex i Kintex, al voltant dels 16 nm [Taula 2].

45nm	28nm	20nm	16nm
SPARTAN <sup>6</sup>	VIRTEX <sup>7</sup>	VIRTEX <sup>7</sup> UltraSCALE	VIRTEX <sup>7</sup> UltraSCALE+
	KINTEX <sup>7</sup>	KINTEX <sup>7</sup> UltraSCALE	KINTEX <sup>7</sup> UltraSCALE+
	ARTIX <sup>7</sup>		
	SPARTAN <sup>7</sup>		

**Taula 2: Famílies Xilinx en funció del tamany de capa**

## Altera



**Figura 10: Logotip de la empresa Altera**

Altera Corporation és un fabricant nord-americà de dispositius lògics programables (PLD), circuits digitals complexos reconfigurables. Altera va llançar el seu primer PLD el 1984 [Figura 10]. Els productes principals d'Altera són la sèrie FPGA de Stratix, Arria i Cyclone, la sèrie MAX CPLD, el programari de disseny Quartus II i les solucions elèctriques DC-DC Enpirion PowerSoC.

Altera i Intel van anunciar l'1 de juny de 2015 que van acordar que Intel adquiriria Altera en una transacció valorada en aproximadament \$16,7 mil milions. Finalment, l'acord va ser definitiu el 28 de desembre de 2015, acordant un preu de compra de 54\$ per acció de Altera.

L'adquisició d'Altera ajudarà Intel a crear i defensar el negoci del xip de centre de dades, on Intel és el jugador dominant. Intel podria empaquetar els seus xips de servidor al costat dels xips personalitzables d'Altera per oferir als proveïdors que treballen en el 'núvol' més flexibilitat en la creació de servidors per a les seves necessitats específiques. El ràpid creixement de la informàtica en núvol, en què la gent pot mantenir els seus arxius emmagatzemats en línia, s'ha convertit en un motor de creixement important per Intel, ja que empreses com Amazon, Google i Microsoft corren per construir grans xarxes de centres de dades utilitzant xips d'Intel per alimentar els seus serveis.



Existeixen tres grans famílies de FPGAs dintre la empresa Altera:

- **STRATIX:** La família Stratix de les FPGA es basa en 1.5-V, 0.13- $\mu\text{m}$  i capes de coure per al procés SRAM, també disposa d'un rang d'elements lògics (LEs) amb densitats de 10570 fins a 79.040 elements lògics i fins a 7.5 Mbits de RAM. Els dispositius Stratix ofereixen fins a 22 blocs de processament de senyals digitals (DSP) amb fins a 176 (9 bits x 9 bits) multiplicadors incrustats, optimitzats per a aplicacions DSP que permeten la implementació eficient de filtres i multiplicadors d'alt rendiment. Els dispositius Stratix admeten diversos estàndards d'Entrada/Sortida i també ofereixen una solució completa de gestió de rellotge amb la seva estructura de rellotge jeràrquic amb un rendiment de fins a 420 MHz, fins a 12 bucles de bloqueig de fase (PLLs) i unes dimensions de fins a 14 nm en els seus últims models [Taula 3].

Device Family	Stratix	Stratix GX	Stratix II	Stratix II GX	Stratix III	Stratix IV	Stratix V	Stratix 10
Year of introduction	2002	2003	2004	2005	2006	2008	2010	2013
Process technology	130 nm	130 nm	90 nm	90 nm	65 nm	40 nm	28 nm	14 nm Tri-Gate

**Taula 3: Evolució de la família STRATIX**

- **ARRIA:** La família Arria ofereix un rendiment òptim i una eficiència energètica de gamma mitjana. La família Arria té un conjunt de bones característiques en memòria, lògica i processos de senyal digital (DSP) combinats amb la integritat superior del senyal de transceptors de fins a 25.78 Gbps que li permeten integrar més funcions, maximitzar l'ample de banda del sistema i reduir les dimensions [Taula 4]. A més, les variants SoC de les famílies de dispositius Arria V i Arria 10 ofereixen un sistema de processat basat en ARM® (HPS) per a una major integració i estalvi d'energia.

### Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure

Family	Arria GX	Arria II GX	Arria II GZ	Arria V GX, GT, SX	Arria V GZ	Arria 10 GX, GT, SX
Year of introduction	2007	2009	2010	2011	2012	2013
Process technology	90 nm	40 nm	40 nm	28 nm	28 nm	20 nm

**Taula 4: Evolució de la família Altera - ARRIA**

- **CYCLONE:** La sèrie Cyclone FPGA està dissenyada per satisfer les necessitats bàsiques de disseny de baix consum i de baix cost que permet arribar al mercat amb més rapidesa i facilitat. Per cada generació de FPGA Cyclone que surt al mercat [Taula 5], resol els seus reptes tècnics d'una major integració, un major rendiment, menor potència i un temps de comercialització més ràpids, tot complint els requisits relatius al cost.

El rendiment ciclònic FPGA rivalitza amb la de les FPGA més ràpides del mercat. Creat amb un equilibri de lògica, memòria, bucles de bloqueig de fase (PLL) i interfícies avançades d'Entrada/Sortida, les FPGAs Cyclone són una resposta òptima.

	Cyclone FPGA	Cyclone II FPGA	Cyclone III FPGA	Cyclone IV FPGA	Cyclone V FPGA	Cyclone 10 FPGA
Year introduced	2002	2004	2007	2009	2011	2017
Recommended for new designs	No	No	Yes	Yes	Yes	Yes

**Taula 5: Evolució de la família Altera - CYCLONE**

- Les **FPGA MAX® 10** de Altera suposen una revolució en la integració no volàtil en proporcionar capacitats de processament avançades en un dispositiu lògic programable de baix cost amb factor petit i encesa instantani. MAX 10: Les FPGAs Intel MAX® 10 disposen d'un rang d'elements lògics de 2k fins a un màxim de 50k, utilitzant fonts d'alimentació individuals o dobles.

Les MAX 10 FPGA inclouen convertidors analògics a digital (ADCs) integrats i un flux de configuració dual que permet emmagatzemar i canviar dinàmicament dues imatges en un sol xip. A diferència de les CPLD, les FPGAs MAX 10 també inclouen funcions completes de FPGA com el suport del processador integrat de nodes NIOS® II, blocs DSP i controladors de memòria DDR3.

La majoria dels kits de desenvolupament d'Altera porten la FPGA MAX 10 incorporada [Figura 11].



**Figura 11: Kit de desenvolupament d'Altera amb la FPGA Max 10**

### 2.4.2. Altres fabricants

A part dels dos principals fabricants de FPGAs que dominen gran part del mercat, hi ha diverses empreses intentant créixer i expandir-se dins d'aquest mercat, oferint productes de gran qualitat i innovant contínuament.

#### **Lattice**

Lattice Semiconductor Corporation és un fabricant nord-americà de dispositius lògics programables d'alt rendiment (FPGAs, CPLDs i SPLDs) [Figura 12]. Fundada el 1983, la companyia disposa en el dia d'avui d'aproximadament 700 treballadors i té uns ingressos anuals d'uns 300 milions de dòlars, i Darin Billerbeck com a director executiu. L'empresa és la tercera empresa classificada en la quota de mercat mundial per als dispositius FPGA i el número dos per a CPLD i SPLD.



Figura 12: Logotip de la empresa Lattice

Dintre el ventall de productes de Lattice, es poden distingir 4 famílies de FPGAs:

- ECP: Les famílies Lattice ECP i EC utilitzen un teixit FPGA de silici eficient, on la capacitat d'E/S, la memòria distribuïda, la memòria integrada, la lògica i l'enrutament s'han optimitzat per proporcionar les millors característiques a preus conscients. Els dispositius LatticeECP-DSP són ideals per al seu ús en aplicacions en què es necessita una funcionalitat DSP rendible [Figura 13]. Aquestes aplicacions inclouen

ràdio definida per programari, comunicacions inalàmbriques, aplicacions militars i equips de processament de vídeo. Els dispositius LatticeEC són ideals per a aplicacions generals sense DSP, com ara xarxes de baix cost, equips d'accés a la xarxa, aplicacions electròniques de consum, aplicacions industrials, mèdiques i automotrius.



**Figura 13: famílies Lattice ECP i EC**

- ICE40: la família iCE40 ha estat dissenyada per la seva utilització en diverses generacions d'aplicacions d'alt volum en mòbils i aplicacions IoT. Redueix la potència, sense comprometre les funcions: augmentant la duració de la bateria i afegint funcionalitat als dissenys mitjançant una arquitectura FPGA única i de baix rendiment amb DSP integrats i grans blocs de memòria RAM.

La família iCE40 és una lògica programable de baix cost basada en LUT, tenint un rang de blocs entre 640 i 5280 unitats [Figura 14]. Aquests dispositius inclouen memòria RAM bloquejada (EBR), memòria de configuració no volàtil (NVCM) i bucles bloquejats per fases (PLLs). També disposen de 26 ports de sortida o entrada.



**Figura 14: famílies Lattice ICE40**

Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure

- **CROSSLINK:** és un dispositiu de pont de vídeo programable que admet diversos protocols i interfícies per a sensors i pantalles d'imatges mòbils. El dispositiu es basa en la tecnologia Lattice mobile FPGA de 40 nm. combina l'extrema flexibilitat d'una FPGA amb la baixa potència, baix cost i petita empremta d'un ASIC.

CrossLink admet interfícies de vídeo incloent MIPI® DPI, MIPI DBI, càmera CMOS i interfícies de visualització, OpenLDI, FPD-Link, FLATLINK, MIPI D-PHY, MIPI CSI-2, MIPI DSI, SLVS200, SubLVDS, HiSPi i molt més.

- **MACH:** La família MachX FPGA és la perfecta per a la implementació ràpida de les funcions de control de sistemes. És una FPGA fiable i assequible: amb gran utilitat en el seu ús per a enrutadors, estacions base, servidors, emmagatzematge, aplicacions industrials i mèdiques. Dins la varietat de productes d'aquesta família, s'ofereixen xips de baix consum d'energia, d'altres amb una varietat de pins d'Entrada/Sortida de 271 fins a 335.

## MICROSEMI

Microsemi Corporation és un proveïdor americà de semiconductors i solucions de sistemes per a sistemes aeroespacials i de defensa, comunicacions, centres de dades i mercats industrials. Els productes inclouen circuits integrats analògics de senyals mixtes d'alta eficiència i radiació, FPGA, SoCs i ASICs.

Al 2010, Microsemi era una empresa bàsicament dedicada al mercat aeroespacial i de defensa, fins la adquisició d'Actel, un proveïdor de matrius de portes programables (FPGA), de senyal mixtes i de baixa potència, i solucions lògiques programables encarat al disseny aeroespacial.

Les principals famílies de FPGAs de la empresa Microsemi són les següents:

- **ProASIC®3:** La sèrie de FPGA ProASIC®3, que inclou ProASIC3/e, nano ProASIC3 i ProASIC3L, ofereix un avanç en el rendiment, la densitat i les característiques de les aplicacions d'alt volum més exigents d'avui dia. Els dispositius ProASIC3 disposen del processador ARM - Cortex-M1 amb nucli IP, oferint els avantatges de la programació i el temps de comercialització. Les famílies ProASIC3 es basen en tecnologia flash no-volàtil i disposen entre 100 i 35K d'elements lògics i fins a 620 pins d'entrada/sortida.
- **PolarFire:** Les polivalents FPGA de PolarFire lliuren la menor potència de la indústria en densitats de gamma mitjana amb una seguretat i fiabilitat excepcionals. La família de productes abasta des dels elements lògics de 100K (LE) fins a 500K LE, presenta transceptors de 12.7G i ofereix fins a un 50% menys de potència que les FPGA mitjanes que competeixen. Els dispositius són ideals per a una àmplia gamma d'aplicacions dins de xarxes d'accés a la xarxa i infraestructures

cel·lulars, mercats d'aviació de defensa i comercials, així com mercats d'automatització industrial i d'IoT.

- IGLOO: La sèrie Microsemi IGLOO® de FPGA flash de baixa potència inclou IGLOO/e, nano-IGLOO i IGLOO PLUS. La família IGLOO FPGA està dissenyada per satisfer la demanda de requisits de baixa potència i de tamany requerits per l'electrònica portàtil i de potencia actual. La família FPGA de baixa potència IGLOO processa fins a 35K elements lògics amb fins a 504 kbits de SRAM de doble port, també 6 PLL incrustats i fins a 620 pins d'entrada/sortida.
- IGLOO 2: Aquests dispositius FPGA flash són ideals per a funcions de propòsit general com ara Gigabit Ethernet o plans de control PCI Express dual, funcions de pont, entrada/sortida d'expansió i conversió, processament de vídeo/imatge, gestió del sistema i connectivitat segura. Les FPGAs són utilitzades pels clients en mercats de Comunicacions, Industrials, Metges, Defensa i Aviació. Les FPGAs ofereixen 5K-150K d'elements lògics amb un subsistema de memòria d'alt rendiment, fins a 512 KB de memòria intermèdia incorporada, 2 x 32 KB d'entrada estàtica d'accés aleatori (SRAM), dos motors d'accés directe a memòria (DMA) i (DDR) controladors.
- FUSION: les FPGAs de senyals mixtes Microsemi Fusion® integren configuracions analògiques configurables, grans blocs de memòria flash, circuits integrats de generació de rellotges i gestió i lògica programable d'alt rendiment basada en flash en un dispositiu monolític. La innovadora arquitectura de Fusion Fusion de Microsemi es pot utilitzar amb el nucli de microcontrolador de Microsemi (MCU), així com el processador ARM Cortex-M1 de 32 bits maximitzat.



A finals del primer semestre de 2018 Microchip Technology Incorporated proveïdor de microcontrolador, senyals mixtes i de solucions analògiques i flash-IP, va fer efectiva la adquisició de Microsemi per un valor aproximat de 10 bilions de dòlars.

## **Quicklogic**

QuickLogic Corporation (NASDAQ: QUIK) permet maximitzar la durada de la bateria per a experiències d'usuari molt diferenciades i immersives amb dispositius Smartphone, Wearable i IoT. QuickLogic ofereix aquests avantatges a través de solucions semiconductores SoC programables d'ultra baixa potència, programari integrat i solucions d'algoritmes per a processos de veu i sensor sempre connectats. La iniciativa de FPGAs incrustades de la companyia també permet als dissenyadors de SoC implementar fàcilment canvis de postproducció sense cost i consum de temps redisseny.

Aquesta empresa disposa de producte FPGA estralla, es tracta la família ArcticPro basats en FPGAs incrustades, Quicklogic considera que els dissenyadors de SoC (sistemes en chips) saben que els requisits del mercat poden canviar més ràpidament que el temps de desenvolupament típic d'un nou dispositiu. La millor manera de resoldre aquest problema és disposar de maquinari flexible que permeti canvis i afegits de característiques sense allargar encara més els cicles de desenvolupament. La integració de la tecnologia eFPGA d'ultra baixa potència ArcticPro <sup>TM</sup> és una solució ideal que permet que els SoC es personalitzin després de la producció sense un redisseny costós i amb el menor temps possible.

L'ArcticPro eFPGA de QuickLogic, actualment pot tenir un dimensionament entre 65nm i 40nm i està sent dissenyada per a un futur dimensionament de fins a 22nm. A més, disposa d'una matriu de blocs lògics que van de 16x16 fins a 64x64.

### 3. Projecte Icestorm de SW / HW lliure

A mitjans de maig de l'any 2015 va succeir el primer pas per a un fet històric dins el camp de les FPGAs: va ser la primera vegada que es disposaven d'eines lliures per realitzar el cicle complet de treball amb FPGAs utilitzant només eines de programari lliures. Aquest va ser un pas molt important, ja que a partir d'aquest moment no es depenia de cap fabricant i tot el coneixement començava a estar disponible. A partir d'aquestes eines podem crear qualsevol interfície, o qualsevol aplicació la qual no hagi estat realitada pel fabricant.

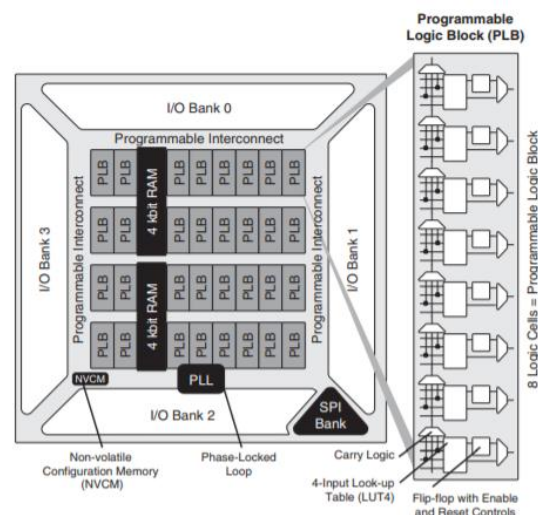
El projecte es va denominar: projecte Icestorm i va ser creat per Clifford Wolf.

El projecte IceStorm té com a objectiu l'enginyeria inversa i la documentació del format de bitstream de les xarxes Lattice iCE40 FPGA, proporcionant eines senzilles per analitzar i crear fitxers bitstream. El flux IceStorm (Yosys, Arachne-pnr i IceStorm) és un flux de Verilog a Bitstream de codi obert per FPGA iCE40.

El focus del projecte estava en els xips LCE / HX 1K / 4K / 8K d'iCE40. (La major part del treball es va realitzar a les parts HX1K-TQ144 i HX8K-CT256). També s'admeten les peces UltraPlus iCE40, incloent DSPs, oscil·ladors, RGB i SPRAM.

### 3.1. ICE40

En la majoria de les FPGA lliures, s'utilitza el xip ICE40 [Esquema 1], ja que disposa d'una arquitectura molt minimalista amb una estructura molt regular. No hi ha molts tipus diferents de blocs o d'unitats funcionals especials. Això fa que sigui ideal per a l'enginyeria inversa i com a plataforma de referència per al desenvolupament d'eines de propòsit general FPGA.



**Esquema 1: iCE40LP/HX1K Device**

Els dispositius iCE40 es fabriquen en un procés de baixa potència CMOS de 40 nm. L'arquitectura del dispositiu té diverses funcions, com ara Entrades/Sortides diferencials de baixa oscil·lació programables i la possibilitat d'apagar dinàmicament els PLL directament en xip. Aquestes característiques ajuden a gestionar el consum d'energia estàtic i dinàmic, cosa que resulta en un poder estàtic baix per a tots els membres de la família. Els dispositius iCE40 estan disponibles en dues versions: dispositius d'alta potència (LP) i d'alt rendiment (HX).

A més de la lògica programable de baix cost basada en LUT, aquests dispositius disposen de memòria RAM bloquejada (EBR), memòria de configuració no volàtil (NVCM) i bucles bloquejats per fases (PLL). Aquestes característiques permeten que els dispositius s'utilitzin en aplicacions de baix consum i sistema de baix cost i de gran consum.

Els dispositius iCE40 també proporcionen una configuració flexible, fiable i en teoria segura utilitzant el sistema NVCM en el xip. La NVCM és una memòria única programable integrada en la FPGA per negar la necessitat d'un xip de memòria externa.

Aquests dispositius també es poden configurar des de un SPI extern o configurar-se per a ser controlat per un master extern, com ara una CPU.

## 4. Disseny de circuits lògics

Abans de realitzar el disseny de la placa, s'elegiran les eines lliures que millor s'adaptin a la idea del projecte, per aquest motiu s'utilitza una FPGA totalment lliure.

Una FPGA lliure és aquella que té disponible tota la seva documentació interna amb tal detall que sigui possible fer eines programari que permeten la síntesi de maquinari i la seva càrrega a la FPGA. Actualment les úniques FPGAs lliures són les de la família ICE40 de Lattice.

Cal afegir que es disposen de dues possibles etapes de disseny per a la síntesis en FPGA:

1. Disseny digital: realització del circuit a implementar mitjançant un entorn gràfic per aquest [Figura 15].

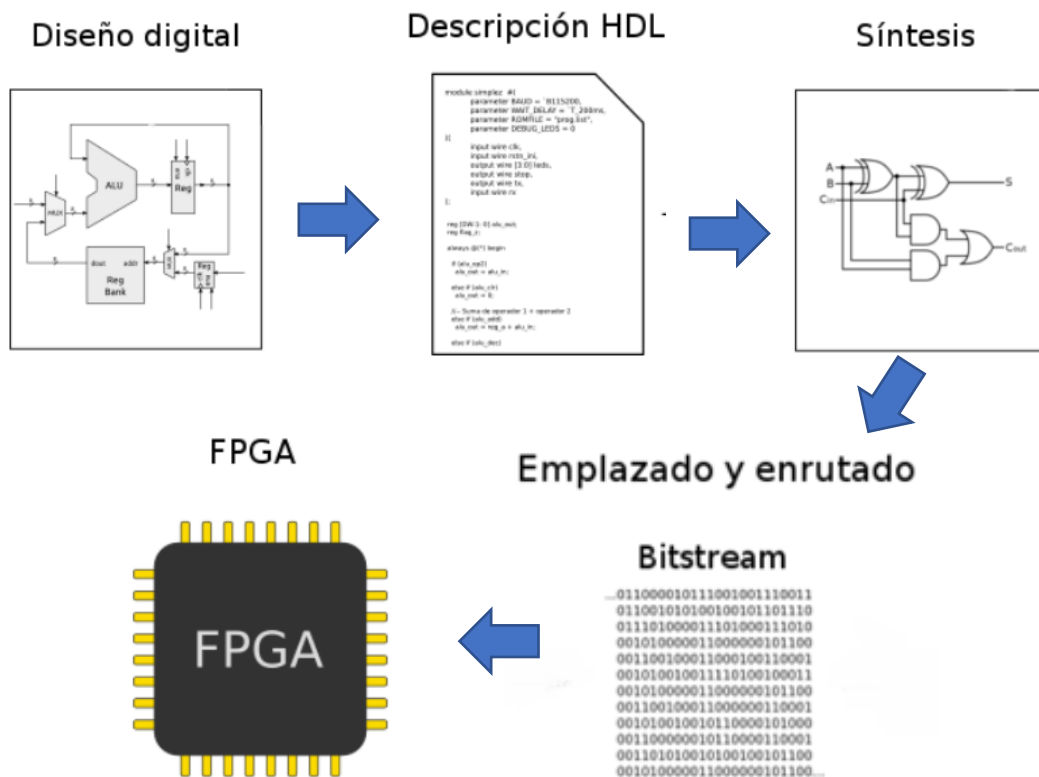
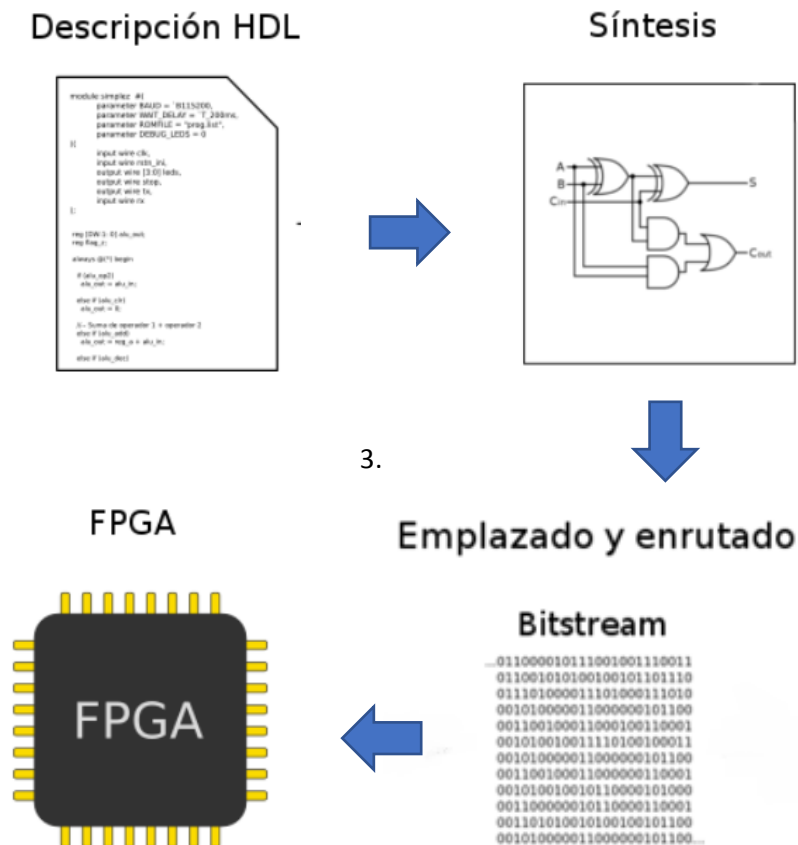


Figura 15: Processos d'un disseny digital

2. Descripció de blocs en codi: realització del circuit a implementar mitjançant blocs de llenguatge descriptiu, que després seran directament sintetitzats a la FPGA [Figura 16].



**Figura 16: Processos de descripció en codi**

En aquest projecte es realitzarà la preparació de les pràctiques en les dues possibles etapes de disseny, per a poder adquirir ambdues habilitats de disseny i programació.

#### 4.1. Placa base

En el mercat actual podem trobar diferents plaques FPGA creades a partir de la família ICE40 de Lattice, però poques d'aquestes són compatibles amb entorns gràfics de disseny, per lo qual només són programables en codi HDL. També cal tenir en consideració que existeixen FPGAs lliures a uns preus considerablement alts, lo qual les converteixen en poc competitives dintre el mercat.

Per a la realització del projecte, es va decidir seleccionar la placa Iczum Alhambra, degut a les següents característiques:

- Proximitat, el fabricant i desenvolupador té la seu a la ciutat de Granada
- Eines de suport, la placa ve preparada per al desenvolupament de circuits en l'entorn gràfic Icestudio.
- Comunitat, disposa d'una comunitat d'usuaris que comparteixen dissenys i donen suport als nous programadors a corregir errors.
- Tots els fitxers font de desenvolupament i de fabricació estan totalment disponibles per a descarga en arxius Kicad.

#### 4.1.1. Icezum Alhambra



**Figura 17: Icezum Alhambra**

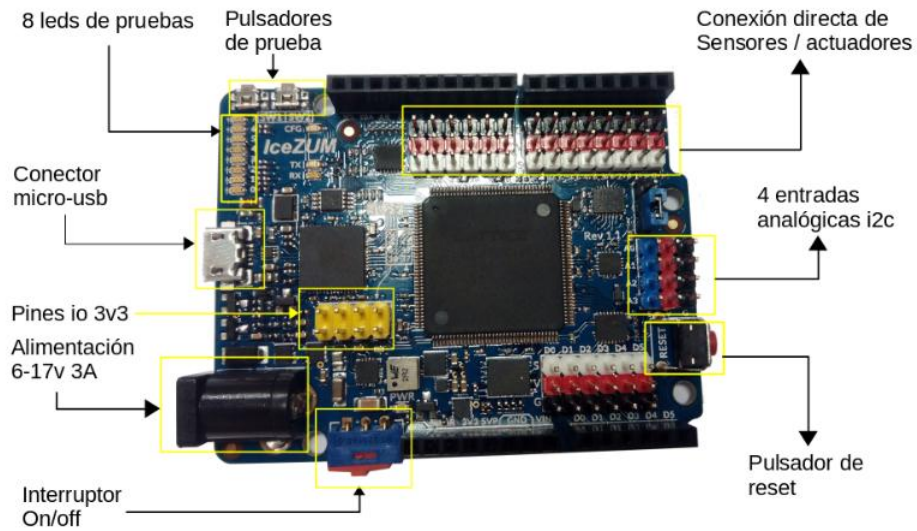
La placa de desenvolupament Icezum Alhambra [Figura 17], ha estat dissenyada amb eines Open Source (FreeCad, KiCad, InkScape i LibreOffice) i és compatible amb les eines del projecte Icestorm de Clifford Wolf. La FPGA que porta incorporada és la iCE40HX1K-TQ144 del fabricant Lattice.

Característiques principals:

- Hardware lliure.
- Multiplataforma: Mac/ Windows Linux.
- Placa dissenyada amb una estructura semblant a un Arduino 1
- Oscil·ladors de 12 MHz
- Interruptor On / Off.
- Intensitat màxima de 3A
- 20 entrades/sortides pins a 5V.
- 8 entrades/sortides pins a 3.3V.
- Connector micro-USB per la programació des de PC.
- 4 pins analògics mitjançant connexió I2C.



Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure



**Figura 18: Característiques Icezum Alhambra**

Aquesta placa és apropiada per a estudiants que mai han dissenyat un circuit digital i volen aprendre els fonaments. Adquirint coneixements de com funcionen diferents elements com comptadors, modulacions PWM, flip-flops, actuadors i sensors..., canviant la manera de pensar en disseny de hardware en comptes de disseny de software, utilitzant sempre només eines de codi lliure.

#### 4.1.2. Pins de la placa Icezum Alhambra.

La placa Icezum Alhambra disposa de 4 tipus diferents de pins, per a poder connectar la placa amb els diferents tipus d'externs [Figura 18].

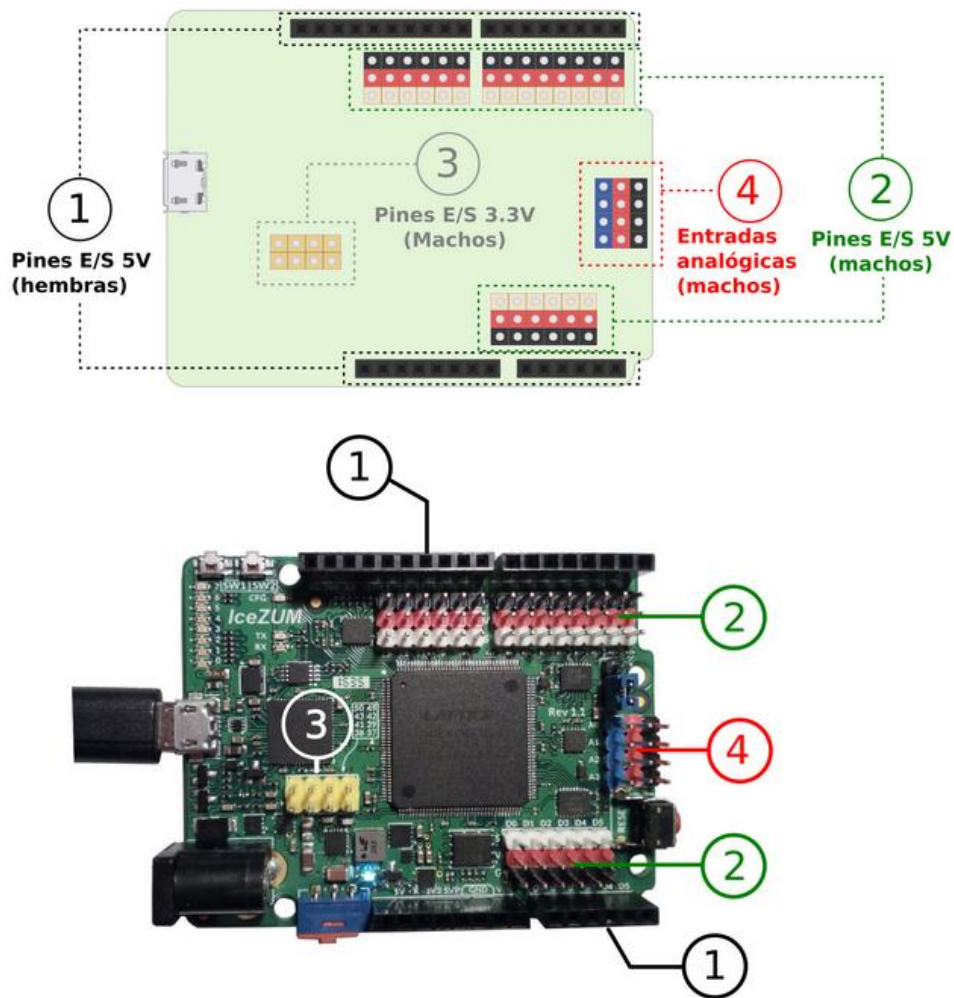


Figura 19: Connectors Icezum Alhambra

Els diferents connectors són:

- [1] Connectors I/O de tipus femella de 5V.
- [2] Connectors I/O de tipus mascle de 5V.
- [3] Connectors I/O de tipus mascle de 3.3V.
- [4] Connectors mascle d'entrada analògica.

#### 4.1.2.1. Connectors femella de 5V.

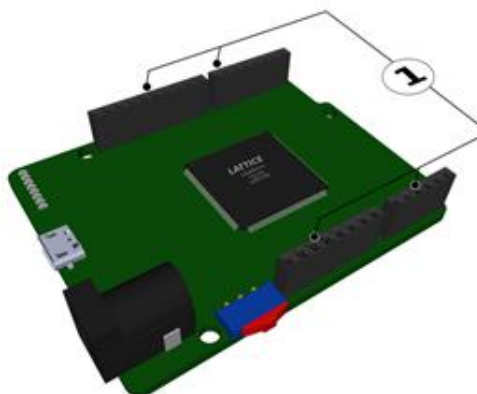


Figura 20: Connectors femella

Serveixen per connectar cables mascle i Shields d'expansió. Es troben a la part superior i inferior de la placa, com es mostra a la figura 20.

En total hi ha 32 pins de la classe femella, dels quals 20 són d' I/O de 5V. Els pins d' I/O superiors s'anomenen D13 - D0 en la plataforma d'lestudio, i els inferiors DD5 - DD0. Tots aquests pins són de 5v. Com els pins de la FPGA són de 3.3 Volts, es passen a través d'uns convertidors bidireccionals de 3V3 – 5V.

#### 4.1.2.2. Connectors d' I/O mascle de 5 V amb alimentació i massa

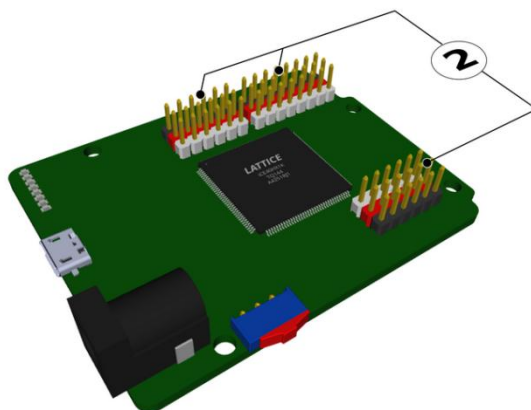


Figura 21: Connectors mascle de 5V

La placa també disposa de 20 pins d' I/O mascles, duplicats dels 20 pins dels connectors d'hembra de 5V [Figura 21]. Cada un d'aquests pins inclou un d'addicional d'alimentació (+ 5v) i massa (GND). En total són tres pins separats per colors. El pin blanc conté el senyal d' I/O, el vermell l'alimentació de 5v i el negre la massa (GND).

Tenen aquesta disposició per poder connectar directament servos i sensors. Es denominen igual que els seus duplicats femella: D0 - D13 per als de la part superior i DD0 - DD5 a la part inferior.

#### 4.1.2.3. Connectors d' I/ O mascle de 3.3V (GPx)

En contraposició als pins anteriors, la placa disposa de 8 pins mascle que i treballen a 3.3V [Figura 22], a més a més aquests estan connectats a la FPGA directament, en canvi, els pins femella i mascle anteriors estan connectats a la FPGA a través de convertidors de nivell. Es 8 pins a 3.3V denoten amb la nomenclatura GP0 - GP7.

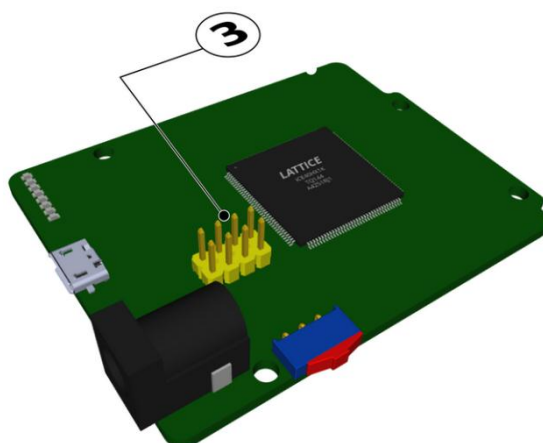


Figura 22: Connectors mascle de 3.3V

#### 4.1.2.4. Connectors mascle per entrades analògiques

La Icezum Alhambra disposa de 4 entrades analògiques situades a la part dreta, accessibles a través de pins mascle [Figura 23]. Cada entrada analògica (Blau) té un pin addicional d'alimentació (vermell, 5v) i un altre de massa (negre, GND). Aquests pins permeten la connexió directa de sensors, potenciómetres...

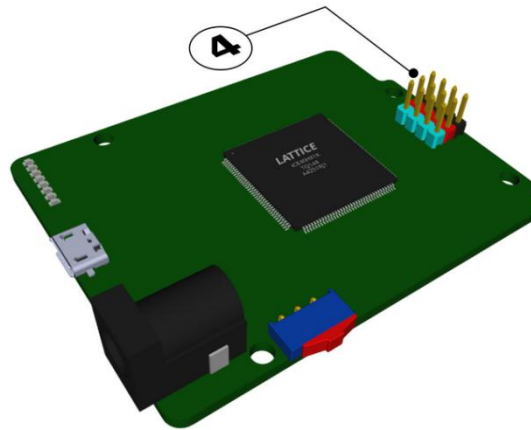


Figura 23: Entrades analògiques

La FPGA no disposa d'entrades analògiques, per lo qual en la Icezum Alhambra hi ha un convertidor Analògic-digital (ADC) que es connecta a la FPGA a través d'un bus I2C. Per això, per llegir les entrades analògiques es necessari incloure dissenys d'un circuit capaç de llegir el bus I2C.

## 4.2. Eines i codis de programació

Com s'ha descrit anteriorment hi ha dues formes de programar FPGAs, quan ho fem mitjançant codi descriptiu de hardware, podem utilitzar diferents llenguatges de programació, els codis utilitzats més freqüentment per a hardware lliure són el VHDL i el Verilog.

El VHDL és l'acrònim que representa la combinació de VHSIC i HDL, on VHSIC és l'acrònim de "Very High Speed Integrated Circuit", i HDL és al seu torn l'acrònim de "Hardware Description Language".

Verilog és un llenguatge de descripció de maquinari utilitzat per a modelar sistemes electrònics. El llenguatge suporta el disseny, test i implementació de circuits analògics, digitals i de senyal mixta a diferents nivells d'abstracció. El llenguatge està definit pel Institute of Electrical and Electronics Engineers, com a IEEE 1364-2005.

Per a la seva utilització en àmbit universitari, s'ha elegit el llenguatge Verilog, ja que és tracta d'un codi totalment obert i disposa d'una sintaxis molt similar al llenguatge C.

En el codi 1 podem observar l'exemple d'un bloc en Verilog, d'un comptador de 4 bits:

### Comptador de 4 bits

```
module counter (    input clk,
                   input rstn,
                   output
reg[3:0] out);

    always @ (posedge clk) begin
        if (! rstn)
            out <= 0;
        else
            out <= out + 1;
    end
endmodule
```

Codi 1: Bloc d'un comptador

El bloc comptador de 4 bits disposa de dos senyals d'entrada, una rep un senyal de rellotge i l'altra un senyal de reset. Cada flanc de pujada del senyal de rellotge activarà el bloc Always, aquest incrementarà en un valor de 1 el comptador si el senyal de reset es manté en flanc positiu, però reiniciarà el comptador si es rep un flanc negatiu. Tot aquest circuit està connectat a un senyal de sortida de 4 bits referent al valor del comptador.

#### 4.2.1. Arquitectura en Verilog

Una descripció estructural d'un circuit digital consisteix en la interconnexió d'elements del circuit bàsic, com ara portes lògiques. Verilog inclou aquestes primitives lògiques: AND, NOT, NAND, NOR, XOR i XNOR.

Exemple:

AND (f, x1, x2) - f com a sortida, x1 i x2 com a entrades.

OR (f, a, b, c, d) - f com a sortida, a, b, c i d com a entrades.

Un disseny en Verilog consisteix en una jerarquia de mòduls. Els mòduls són definits amb conjunts de ports d'entrada, sortida i bidireccionals. Internament, un mòdul conté una llista de cables i registres. Les sentències concurrents i seqüencials defineixen el comportament del mòdul, descrivint les relacions entre els ports, cables i registres. Les sentències d'execució en Verilog poden ser tant seqüencials com paral·leles.

Per als dissenys de programes grans, és convenient crear una estructura jeràrquica de mòduls Verilog en lloc d'un únic mòdul gran. En aquest cas, hi ha un mòdul de nivell superior i diverses instàncies de mòduls de nivell inferior que poden contenir els submòduls propis.

Els mòduls de nivell inferior es creen instàncies en un mòdul d'alt nivell. La sortida d'un mòdul de nivell inferior tal com es veu en el mòdul de nivell superior és una assignació contínua a un registre o un cable. En particular, això implica que els mòduls no es poden instanciar dins d'un bloc Always, aquests són blocs que s'executen quan hi han variacions en les entrades del circuit.



#### 4.2.2. Programació en Verilog

En Verilog, el primer pas del disseny consisteix en la construcció dels diagrames de blocs del sistema. En dissenys de programes són generalment jeràrquics i Verilog ofereix un bon marc de treball per definir els mòduls que integren el sistema i les seves interfícies, deixant els detalls per a passos posteriors.

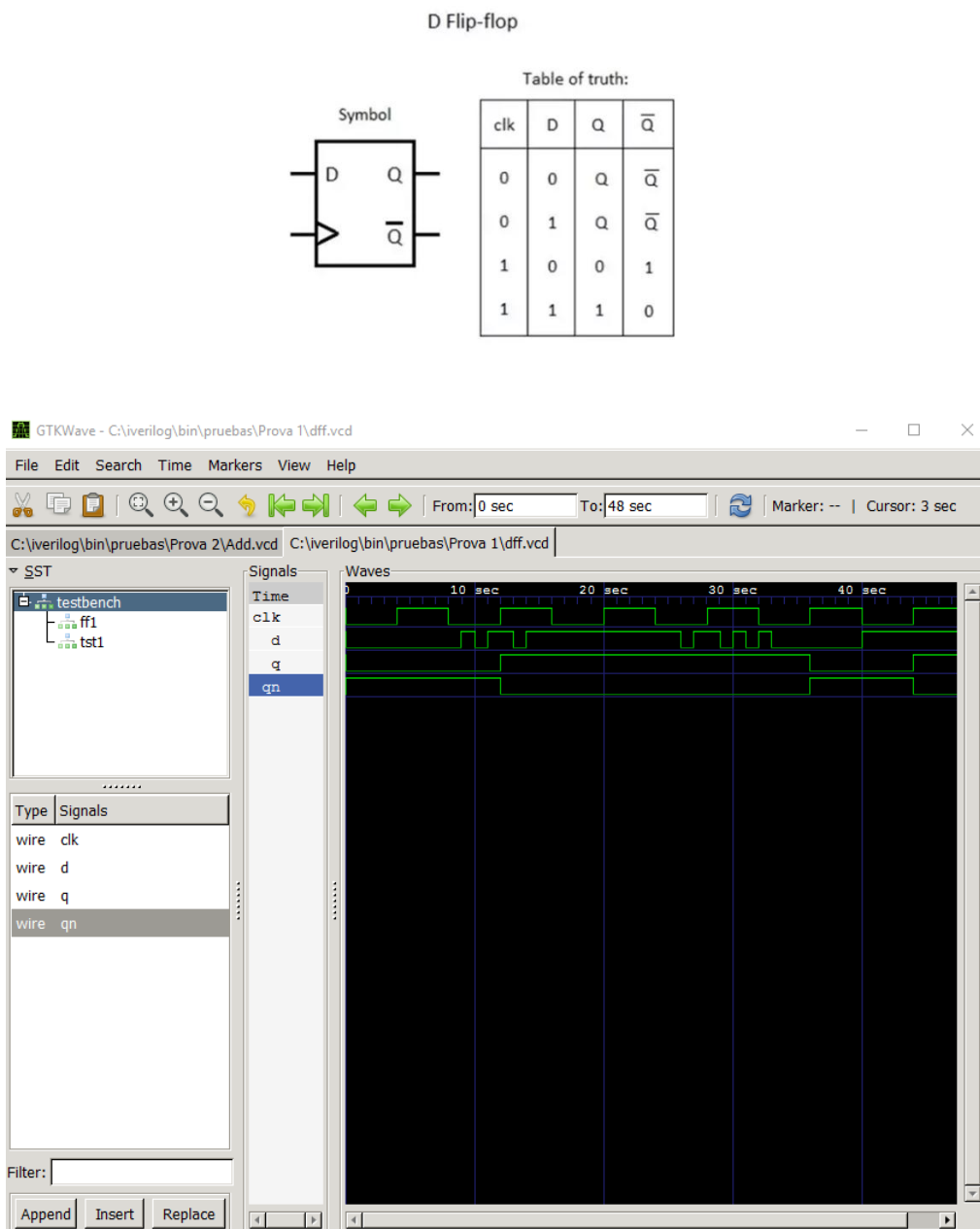
El segon pas és l'elaboració del codi en Verilog per a cada mòdul, per les seves interfícies i els seus detalls interns. Com el Verilog és un llenguatge basat en text, es pot utilitzar qualsevol editor per aquesta tasca.

Per aquest projecte s'ha utilitzat l'editor de Notepad++. Aquest és un editor de codi font lliure i gratuït que suporta diversos llenguatges de programació i funciona sota l'entorn Windows.

Després d'escriure algun codi es necessari compilar-lo. El compilador de Verilog analitza aquest codi i determina els errors de sintaxi i comprova la compatibilitat entre mòduls. Crea tota la informació necessària per a la simulació. Per a la realització d'aquesta tasca s'utilitza el programa Icarus verilog, que sintetitza la descripció de codi.

El proper pas és la simulació, la qual li permet establir els estímuls a cada mòdul i observar la seva resposta. El Verilog dóna la possibilitat de crear bancs de prova que automàticament aplica entrades i compara les sortides amb les respostes desitjades. La simulació és un pas dins del procés de verificació. El propòsit de la simulació és verificar que el circuit treballa com es desitja, és a dir és més que comparar entrades i sortides. En aquest projecte és simularan els codis mitjançant el programa GTKWave [Figura 24].

Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure



**Figura 24: Simulació en GTKWave d'un flip-flop tipus D**

En projectes complexos es fa necessari invertir un gran temps a generar proves que permetin avaluar el circuit en un ampli rang d'operacions de treball.

Trobar errors en aquest pas del disseny és millor que al final, on cal repetir llavors una gran quantitat de passos del disseny.

#### 4.2.3. Eines lliures

- **Notepad++**

Notepad++ és un editor de codi font gratuït, que admet diversos idiomes, i dissenyat com a reemplaçament del bloc de notes. S'executa en l'entorn de MS Windows, el seu ús es regeix per la Llicència GPL.

Partint del potent component d'edició Scintilla, Notepad++ està escrit en C++ i utilitza l'API i l'STL de Win32, que garanteixen una major velocitat d'execució i una menor mida del programa. Optimitzant tantes rutines com sigui possible sense perdre la facilitat d'ús, Notepad++ intenta reduir les emissions mundials de diòxid de carboni. Quan s'utilitza menys potència de la CPU, el PC pot accelerar-se i reduir el consum d'energia, donant lloc a un entorn més ecològic.

- **Icarus Verilog**

Icarus Verilog és una eina de simulació i síntesi de Verilog totalment lliure i gratuït. Funciona com a compilador, compilant el codi font escrit en Verilog (IEEE-1364) en algun format objectiu. Per a la simulació per lots, el compilador pot generar una forma intermèdia anomenada assemblea **vvp**. Per a la síntesi, el compilador genera netlists en el format desitjat.

El principal sistema operatiu de funcionament és Linux, encara que funciona bé en molts sistemes operatius similars. Diverses persones han aportat binaris precompilats d'estrenes estables per a diversos objectius, com per exemple el funcionament en la plataforma Windows. Aquests llançaments

estan realitzats per voluntaris, de manera que els binaris disponibles depenen en gran part de la comunitat que en dóna suport.

- **GTKWave**

GTKWave és un visualitzador d'ona basat en GTK+ per a Unix i Win32 que inclou fitxers LXT, LXT2, VZT, FST i GHW, així com els fitxers Verilog VCD / EVCD estàndard, permeten la visualització d'aquests. Per a la simulació de blocs de codi, també pot simular lots intermedis vvp.

### 4.3. Entorns de disseny gràfic

Per a entendre com funcionen els circuits electrònics digitals, conèixer el concepte de sistemes lògics seqüencials i saber analitzar i sintetitzar circuits lògics dedicats a la implementació de funcions, utilitzar un sistema de disseny digital pot ser la millor forma de iniciar-se.

Icestudio és una eina per a disseny i síntesi de circuits digitals en FPGAs lliures, creada per Jesús Arroyo. Està programada en nodejs. És programari lliure i multiplataforma. Corre en els sistemes GNU / Linux, Mac OS i Windows.

Aquest programa transforma el disseny gràfic realitzat a llenguatge Verilog, després sintetitza aquest i ho transforma a bitstream per a ser carregat a la FPGA. Si s'utilitza l'eina visual de Icestudio, no són necessaris coneixements previs de Verilog.

Disseny gràfic -> Verilog -> Bitstream -> FPGA

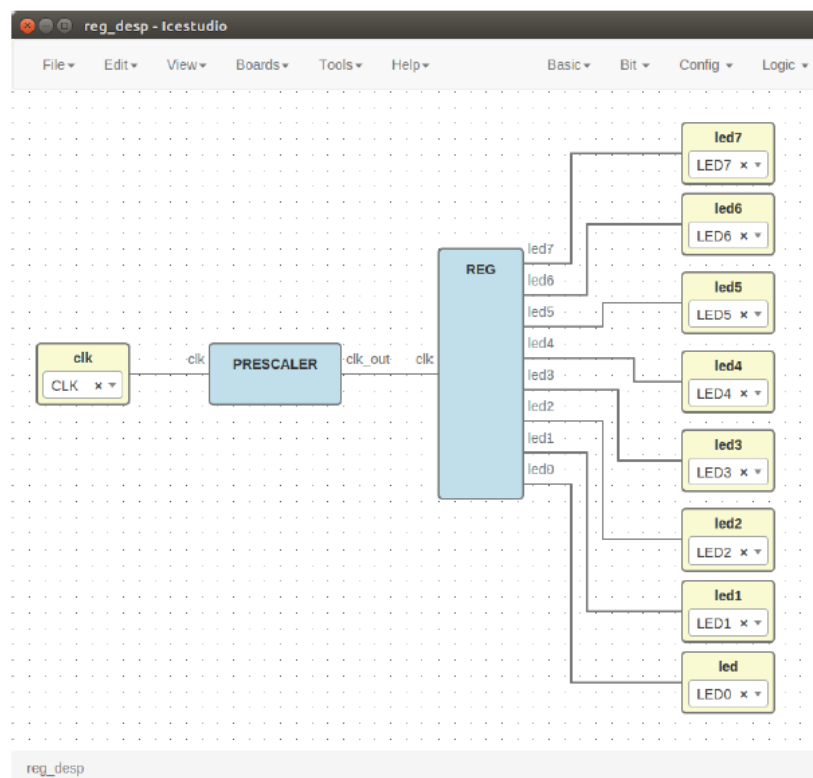


Figura 25: Exemple de disseny en Icestudio

Icestudio disposa de blocs i exemples ja definits amb els elements digitals bàsics de disseny [Figura 25], si aquests no són suficients existeix la possibilitat d'afegir bloc de codi en Verilog o d'afegir llibreries elaborades per la comunitat.

Les principals FPGAs compatibles amb l'entorn gràfic escollit són les següents:

- **Icezum Alhambra** fabricada per Mareldem Technologies.
- **Kéfir I** desenvolupada per l'Institut Nacional de Tecnologia Industrial d'Argentina.
- **Nandland Go Board** fabricada per Crowdfunding [Figura 26].
- **Lattice Breakout Board** fabricada per Lattice.
- **Lattice Icestick** fabricada per Lattice.
- **Icoboard 1.0** fabricada per Trenz Electrónica.
- **Mystorm BlackIce** fabricada per Mystorm, UK

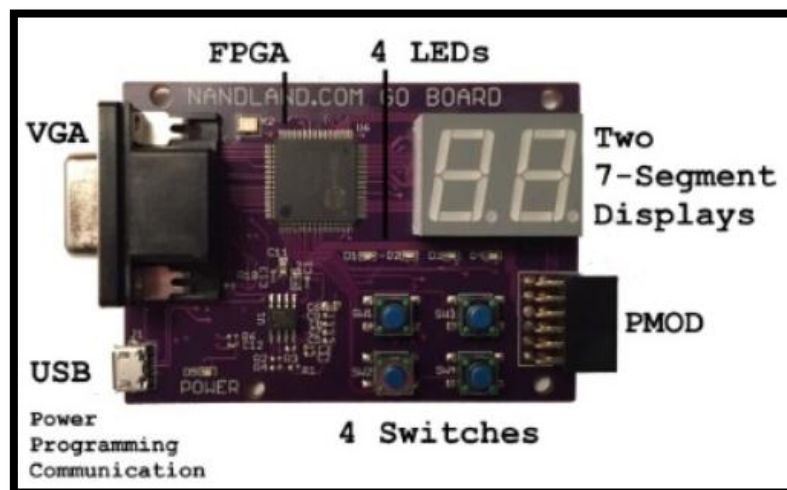


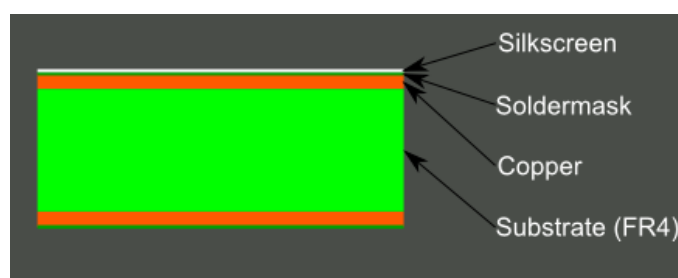
Figura 26: Placa de desenvolupament Nandland Go Board

## 5. Disseny de la placa d'entrenament

Un dels objectius del treball era el disseny i impressió d'un PCB (Printed Circuit Board), placa de circuit imprès, en la que es situaran els elements electrònics que formen la placa d'entrenament.

Les PCB són superfícies constituïdes per camins, pistes o autobusos de material conductor sobre una base no conductora, i sobre aquestes pistes conductores es solden els diferents components electrònics per formar la placa que fabricarà. D'aquesta manera, les connexions entre aquests components electrònics no necessiten cables per connectar-se unes a altres.. Les pistes són generalment de coure mentre que la base es fabrica de resines de fibra de vidre reforçada, ceràmica, plàstic, tefló o polímers com la baquelita.

Les PCBs més senzilles corresponen a les que contenen pistes de coure només per una de les superfícies de la placa, però actualment les PCBs més comunes corresponen a les de dos capes [Figura 27], encara que depenen de la complexitat de circuit poden arribar a fabricar-se fins a 8 o més capes.



**Figura 27: Estructura bàsica d'una PCB de 2 capes**

En aquest treball la placa d'entrenament constarà de dos capes degut a que requereix de connexions una mica més complexes i disposa d'elements de forat passant i de tipus SMD.

Per al disseny s'ha utilitzat el software anomenant Autodesk EAGLE, après i utilitzat durant el transcurs del grau.

- **Eagle Software**

EAGLE Software (Easily Applicable Graphical Layout Editor) és un programa per a la creació i edició d'esquemàtics i per al disseny de plaques de circuit imprès creat per aficionats i entusiastes del moviment Do It Yourself. Autodesk Inc. va adquirir CadSoft Computer GmbH el 2016.

EAGLE conté un editor de PCBs amb un autoenrutador bastant eficient. L'editor és capaç de produir arxius gerber i d'altres, que són utilitzats al moment de la producció i impressió de la placa.

### 5.1. Elements electrònics

Amb la finalitat de poder realitzar diverses pràctiques amb la placa, s'incorporaran diferents elements digitals bàsics per a poder adquirir habilitats d'electrònica digital i poder treballar amb aquests elements per al disseny de circuits digitals.

Els elements elegits són els següents:

- Displays de 7-segments
- Interruptors DIP
- Polsadors
- LEDs SMD i de forat passant
- Convertidor BCD a 7-segments

També es van afegir un conjunt de pins de sortida/entrada a la placa per a la possibilitat de connectar altres elements digitals com podria ser un teclat matricial.



## 5.2. Disseny

A continuació es detallen els passos seguits durant la realització de la placa i els resultats finals obtinguts.

1. Un cop disposem de tots els elements electrònics que s'utilitzaran durant projecte, passem a crear l'arxiu esquema dins el programa de software escollit, llavors es dibuixen i creen els circuits que tindrà la PCB, a demés de crear les llibreries amb els elements electrònics necessaris, les seves característiques, dimensions i connexions.
2. Es munta el prototip en una placa protoboard [Figura 28], amb l'objectiu de tenir una primera presa de contacte amb els components, i localitzar-los i testejar-los en l'espai. Això resulta de gran utilitat a l'hora de conèixer les necessitats que podrien sorgir quant a espai, connexions respecte amb altres elements, errors de disseny, etc.

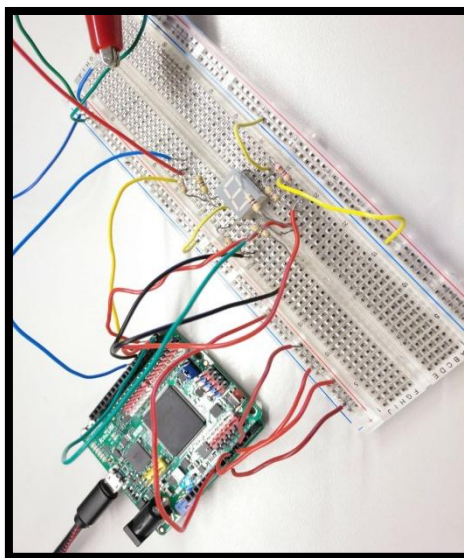


Figura 28: Preparació del prototip



Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure

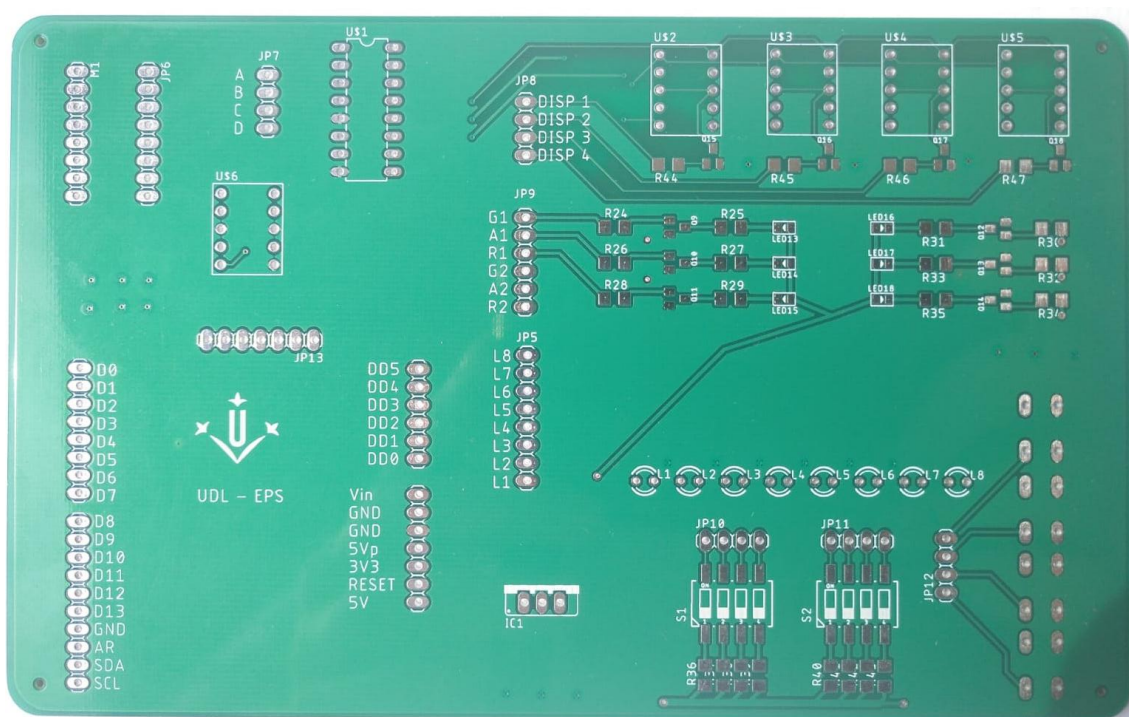
- Utilitzar plans de terra, les seccions sense pla de terra poden causar problemes operatius amb el PMIC (Power management integrated circuits), ja que la impedància de la terra és massa alta.
- Distàncies adequades: la distància entre pista i pista o pista i pla de massa, és 0.5 mm per facilitar posteriorment la soldadura.
- Les vies entre capes seran de un diàmetre entre 0.25 – 0.5 mm amb drills entre 0.20 – 0.40 mm.

Una altra característica important que s'ha incorporat a la placa, és que les connexions entre la FPGA i els diferents elements digitals és comunicaran mitjançant pin headers i cables, ja que la FPGA només disposa de 20 connexions d'entrada/sortida i si és vol aprofitar al màxim la placa d'entrenament per a realització de pràctiques, aquesta idea esdevé la millor solució.

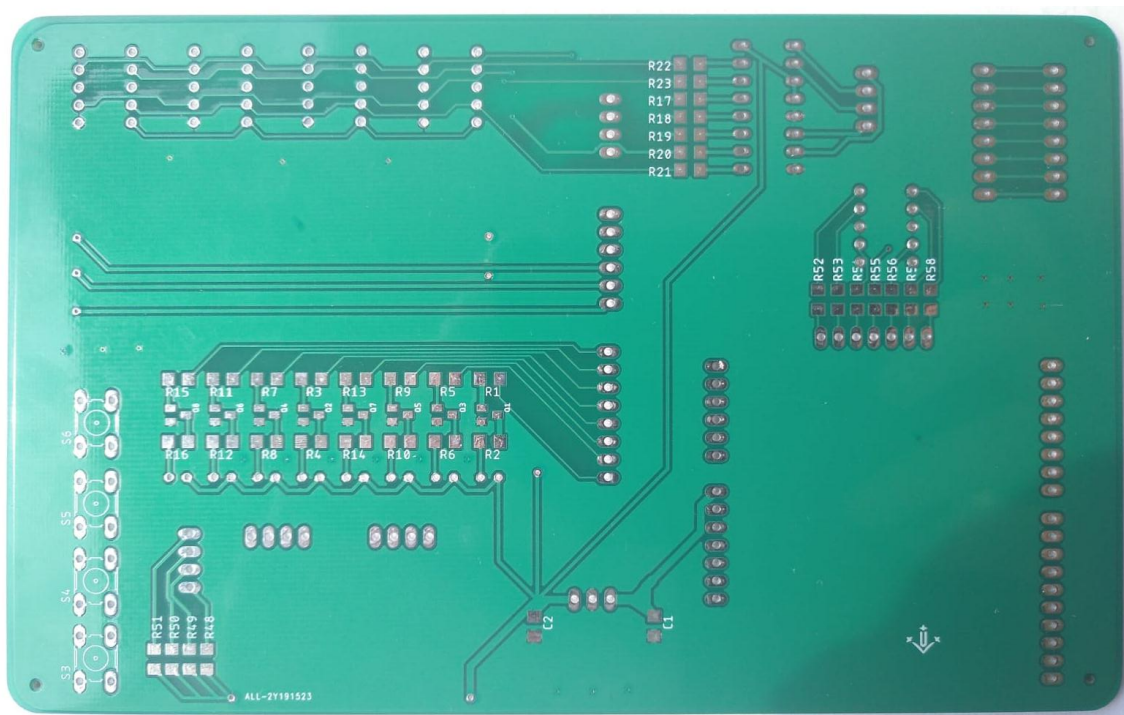
L'alimentació dant de placa com de la FPGA es realitzarà mitjançant un transformador de corrent, aquest corrent passarà per un convertidor continua-continua que reduirà el voltatge fins a 5V, i així alimenta tots els diferents elements digitals.

### 5.3. Resultat

Un cop la placa d'entrament ja ha estat impresa, podem observar el següent resultat de la capa superior i de la inferior de la PCB [Figura 30].



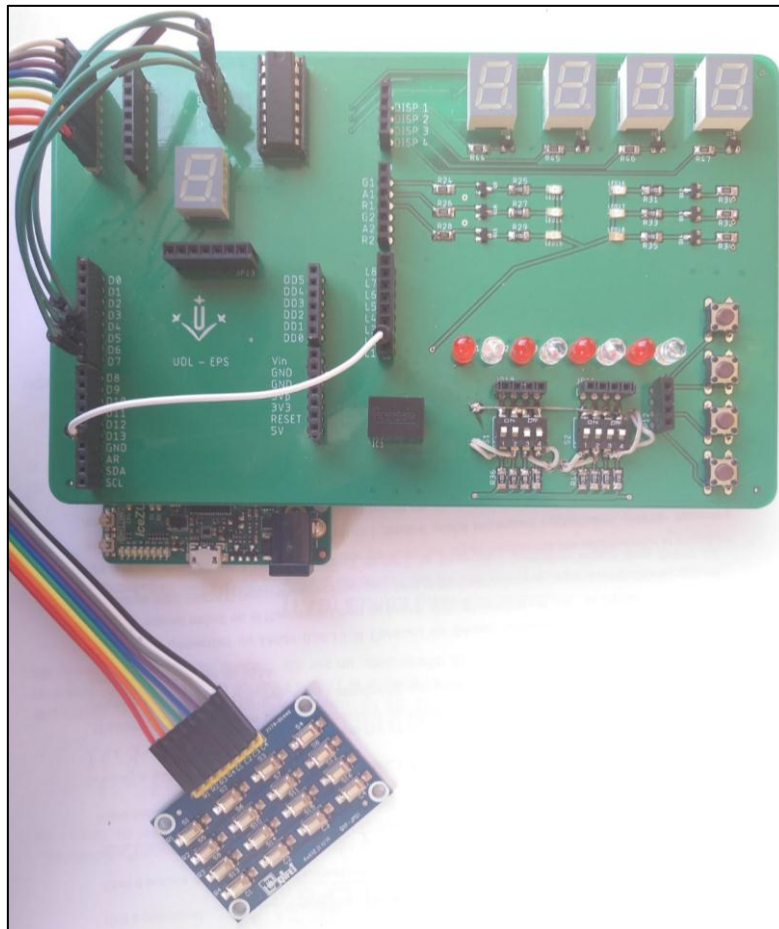
Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure



**Figura 30: Resultat final de la impressió de la PCB**

Finalment, podem observar el resultat final de la placa d'entrenament amb els elements electrònics ja soldats i preparats per a ser utilitzats [Figura 31].

Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure



**Figura 31: Resultat final de la placa d'entrenament**



## 6. Proposta de pràctiques de circuits lògics

Com a complement de la placa d'entrenament, també s'han dissenyat un conjunt de pràctiques per a estudiants, amb els objectius d'adquirir gradualment habilitats tant de disseny de circuits digitals com de comprensió de llenguatge Verilog.

Cada pràctica contarà amb objectius a adquirir i enunciat del problema, també es disposa d'una possible solució en simulació virtual, el disseny del circuit digital a implementar en la FPGA i un resultat final sobre el funcionament en placa.

El llistat de les pràctiques proposades és el següent:

- Pràctica 1: Blink LEDs.
- Pràctica 2: Descodificador BCD a 7 – Segments .
- Pràctica 3: Cruïlla de semàfor
- Pràctica 4: Control de nivel
- Pràctica 5: Encriptació
- Pràctica 6: Panell de seguretat

Tots els codis utilitzats per a les simulacions poden ser consultats en els annexos del projecte.

## 6.1. Pràctica 1: Blink LEDs

### Objectius:

- Avaluar i interpretar característiques fonamentals dels diferents tipus de portes lògiques
- Analitzar i estudiar la implementació de circuits en l'eina lliure Icestudio
- Realitzar la implementació d'un circuit digital en la FPGA, en concret un sistema de LEDs seqüencials.

### Enunciat

Es demana realitzar e implementar un circuit digital basa en un conjunt de LEDs seqüencials. El conjunt haurà d'estar format per un comptador de 4 bits i 8 LEDs seqüencials. El circuit haurà de realitzar-se segons la taula 6:

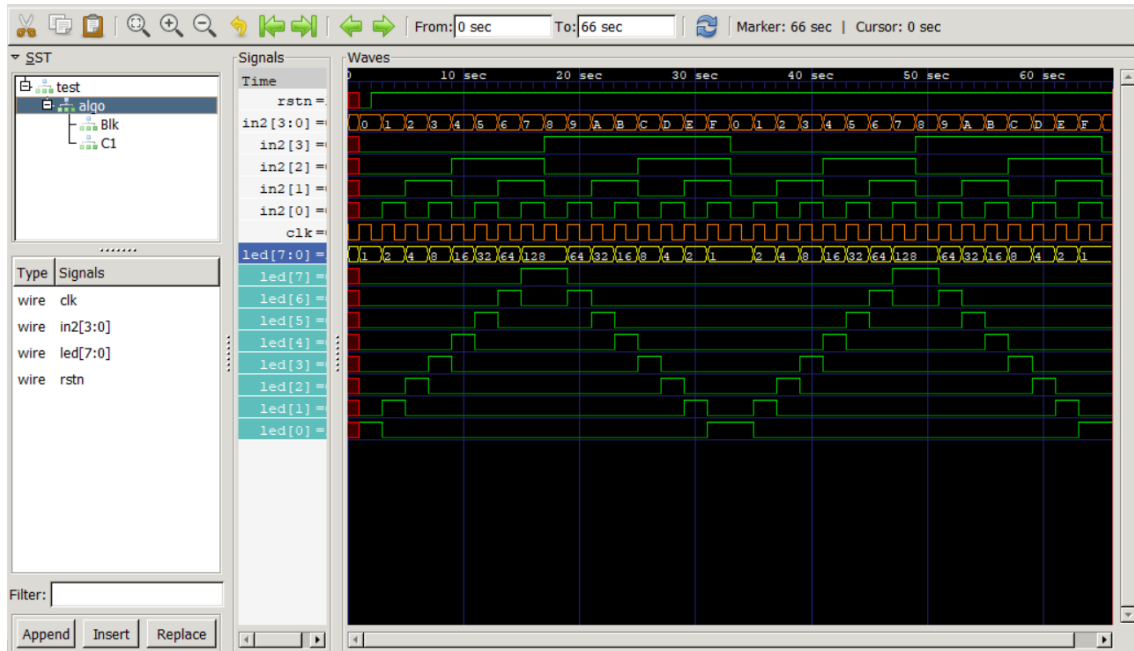
b3	b2	b1	b0	L0	L1	L2	L3	L4	L5	L6	L7
0	0	0	0	1							
0	0	0	1		1						
0	0	1	0			1					
0	0	1	1				1				
0	1	0	0					1			
0	1	0	1						1		
0	1	1	0							1	
0	1	1	1								1
1	0	0	0								1
1	0	0	1							1	
1	0	1	0						1		
1	0	1	1					1			
1	1	0	0				1				
1	1	0	1			1					
1	1	1	0		1						
1	1	1	1	1							

Taula 6: Taula de la veritat pera un conjunt de LEDs seqüencials.

El disseny del circuit és realitzarà únicament utilitzant portes lògiques, només es podrà utilitzar blocs de codi per al comptador de 4 bits.



## Simulació en GTKWave

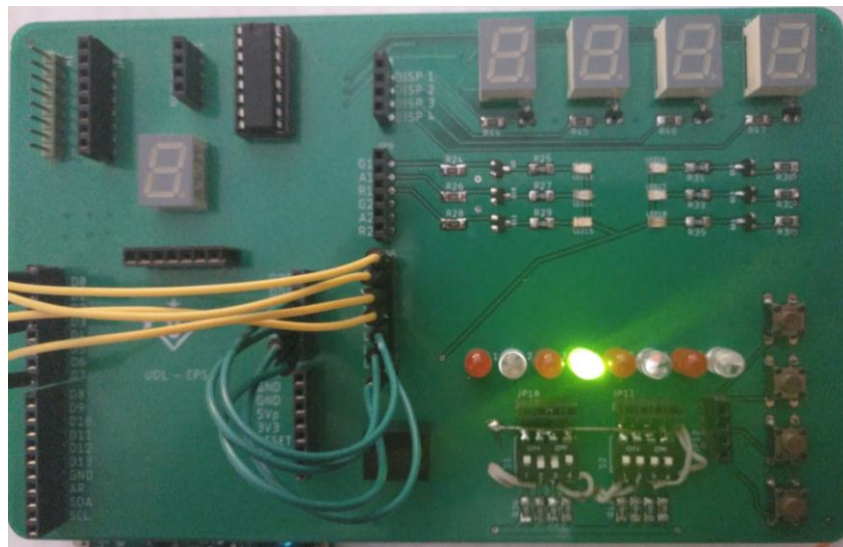
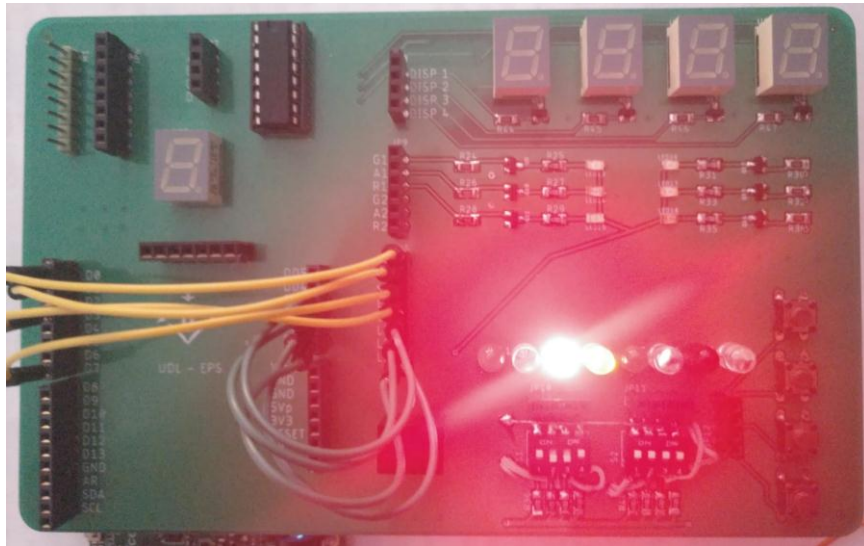


**Simulació 1: LEDs seqüencials**

En la simulació 1, és pot apreciar completament el comportament que pretén realitzar en la programació de la pràctica de LEDs seqüencials.



## Implementació en placa



**Figura 32: Pràctica 1 implementada en la placa**

En les imatges [Figura 32] és pot apreciar el salt d'un LED a un altre dins el disseny de LEDs seqüencials.

## 6.2. Pràctica 2: Descodificador BCD a 7 – Segments

### Objectius:

- Avaluar i interpretar característiques fonamentals del descodificador
- Analitzar la pantalla de set segments, respecte del mesurament dels seus terminals d'entrada.
- Realitzar la implementació d'un circuit en la FPGA mitjançant solament blocs de codi verilog.

### Enunciat

La funció bàsica d'un descodificador és detectar la presència d'una determinada combinació de bits (codi) en les seves entrades i assenyalar la presència d'aquest codi utilitzant una certa de sortida.

Un exemple d'aplicació és el descodificador BCD a 7 segments. Aquest tipus de descodificador accepta codi BCD en les seves entrades i proporciona sortides capaços d'excitar un display de 7 segments per indicar un dígit decimal.

A la figura 33 es mostra un display comú format per set elements o segments. Alimentant determinades combinacions d'aquests segments es poden obtenir cadascun dels deu dígit decimal.

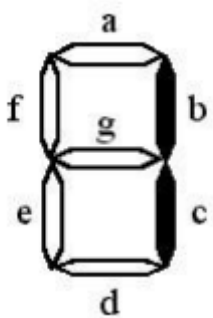


Figura 33: Display 7-segments

## Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure

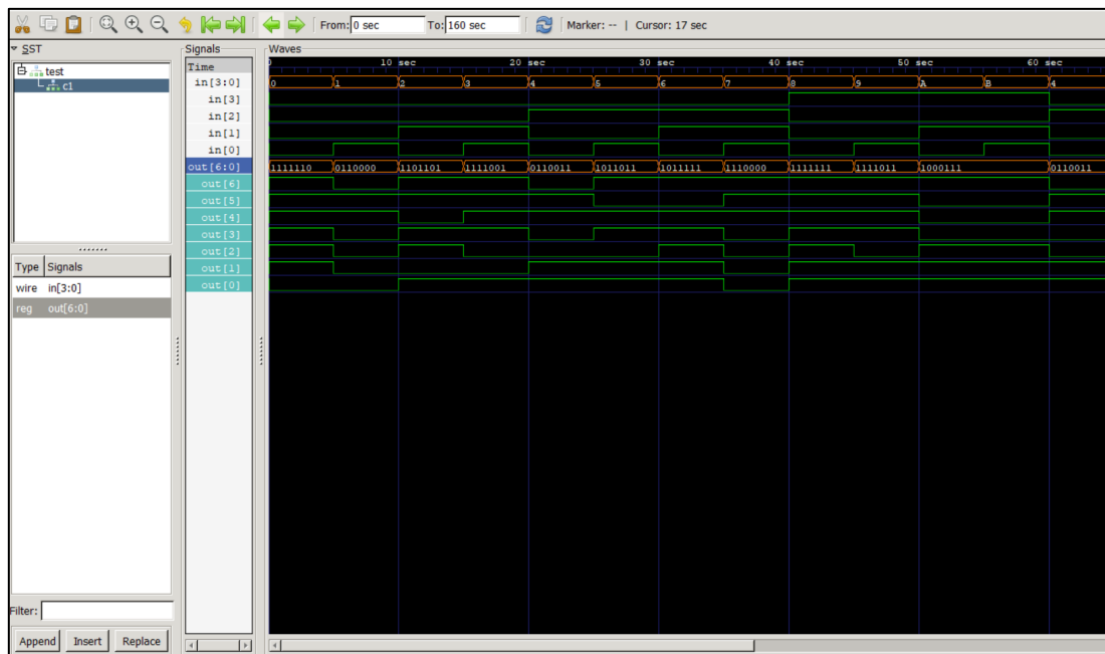
Els segments que s'han de activar per a cada un dels dígit es mostren a la taula 7.

Dígit	Segments
0	a, b, c, d, e, f
1	b, c
2	a, b, d, e, g
3	a, b, c, d, g
4	b, c, f, g
5	a, c, d, f, g
6	a, c, d, e, f, g
7	a, b, c
8	a, b, c, d, e, f, g
9	a, b, c, d, f, g

**Taula 7: Flancs d'activació d'un 7-segments**

Per a l'activitat es demana implementar un descodificador de a BCD a 7-segments, mitjançant un interruptor DIP per a seleccionar el dígit que és vol implementar, i mostrar-lo a través d'un display de 7-segments.

### Simulació GKTWave



**Simulació 2: Simulació de un decodificador BCD a 7 - segments**

## Disseny i implementació de circuits digitals basats en l'ús d'eines de Hw/Sw lliure

En la simulació 2 es pot observar els segments del display de 7-segments que s'activaran per a cada possible entrada d'una senyal de 4 bits.

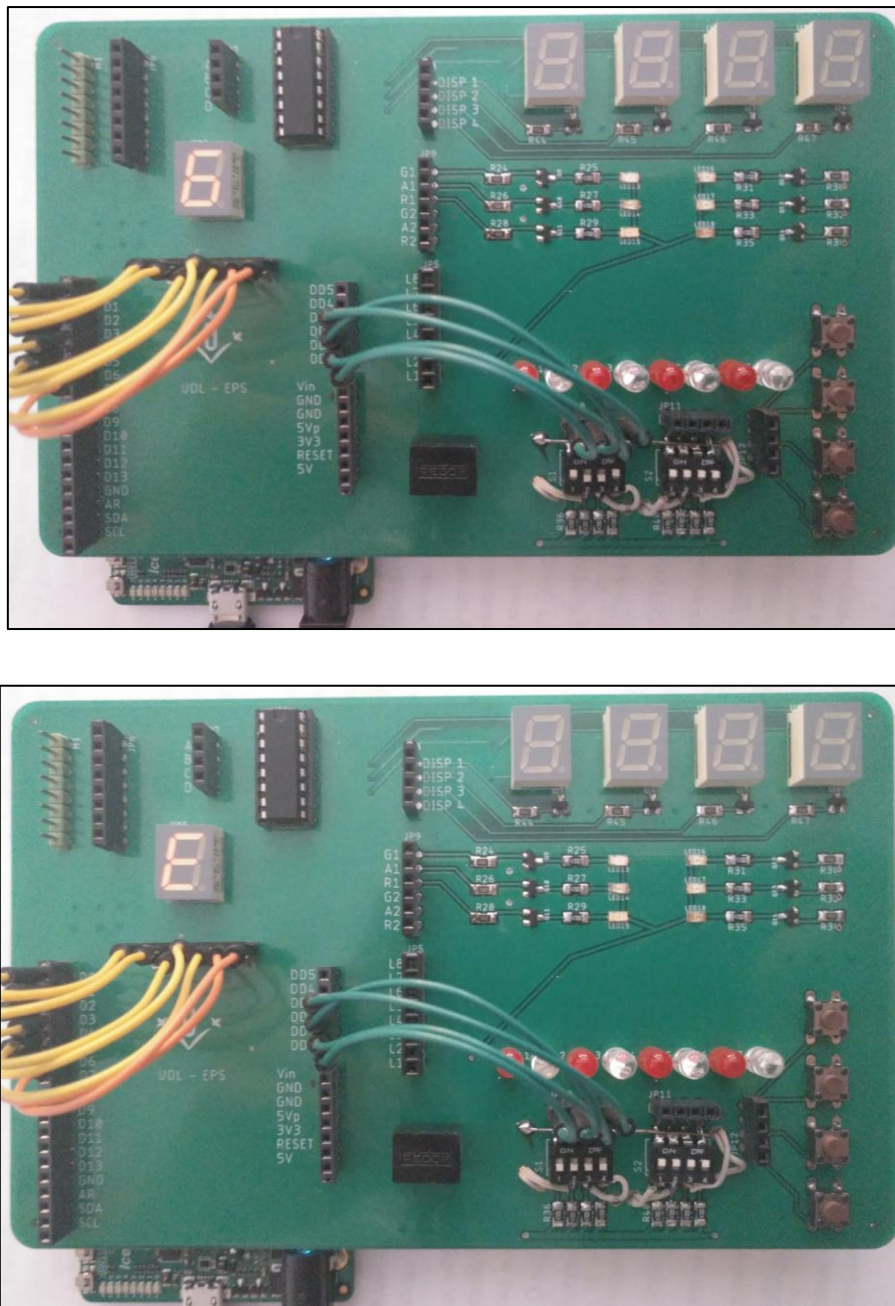
### Disseny de circuit



#### Disseny 2: Decodificador BCD a 7 - segments

En el disseny 2, el circuit disposa d'un únic mòdul descodificador que converteix els 4 bits d'entrada en una senyal de 7 bits, per al correcte funcionament del display de 7-segments.

## Aplicació sobre placa



**Figura 34: Pràctica 2 implementada en placa**

En la figura 34 podem observar quin seria el resultat final sobre la placa d'entrenament.



### 6.3. Pràctica 3: Cruïlla de semàfor

#### Objectiu:

- L'objectiu d'aquesta pràctica és dissenyar i simular un circuit digital que combini elements combinacionals amb elements seqüencials.

#### Enunciat

Es vol dissenyar un sistema digital que realitzi la seqüenciació dels dos semàfors d'una cruïlla [Figura 35].

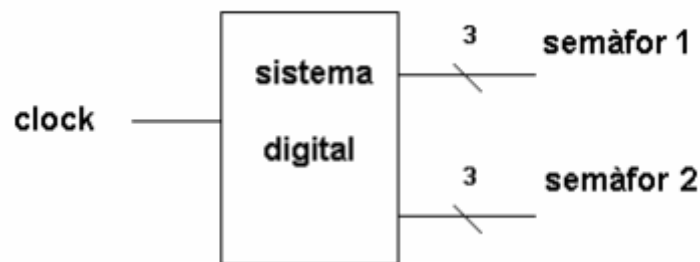


Figura 35: Sistema digital cruïlla

Els semàfors passaran per 4 situacions diferents [Figura 36]:

situació	Semàfor 1	Semàfor 2
0	Vermell	Verd
1	Vermell	Àmbar
2	Verd	Vermell
3	Àmbar	Vermell

Figura 36: Estats possibles del semàfor

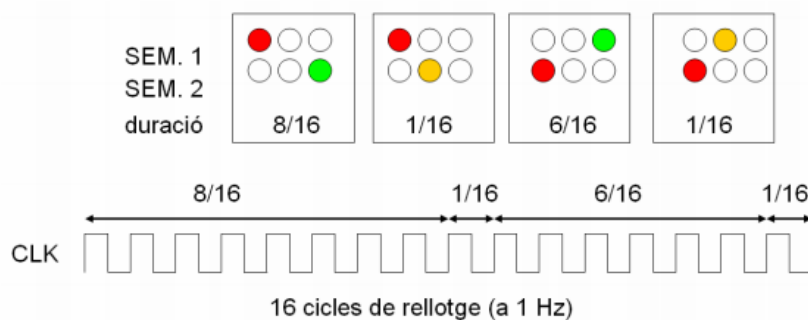


El semàfor 2 es troba en un carrer amb major densitat de trànsit que el 1 i es decideix que romandrà verd el 50% del temps, és a dir, durant 8 cicles dels 16 possibles. La temporització de la resta de situacions és la següent [Figura 37]:

situació	% temps	cicles/tota l
0	50%	(8/16)
1	6,25%	(1/16)
2	37,5%	(6/16)
3	6,25%	(1/16)

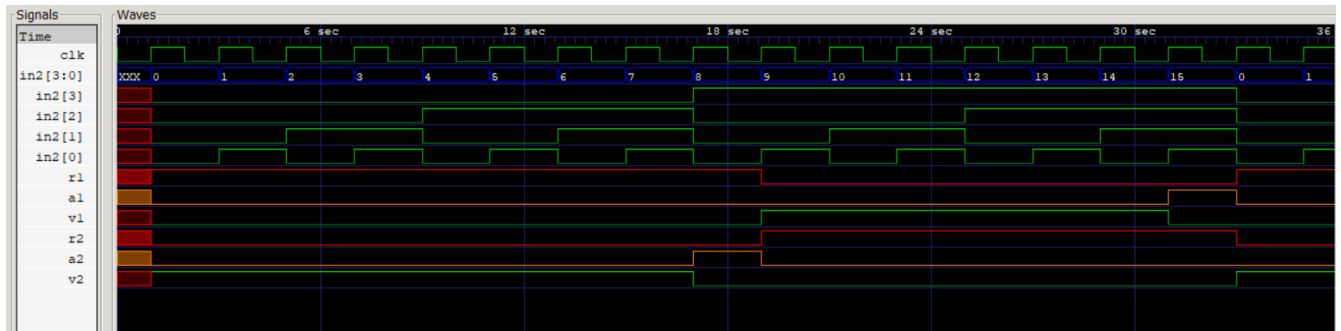
**Figura 37: Temporització dels semàfors**

La següent imatge mostra com han d'estar il·luminats tots dos semàfors i el temps que han de romandre oberts en funció de la informació que es dona en les taules anteriors [Figura 38]:



**Figura 38: Il·luminació dels semàfors el funció del rellotge**

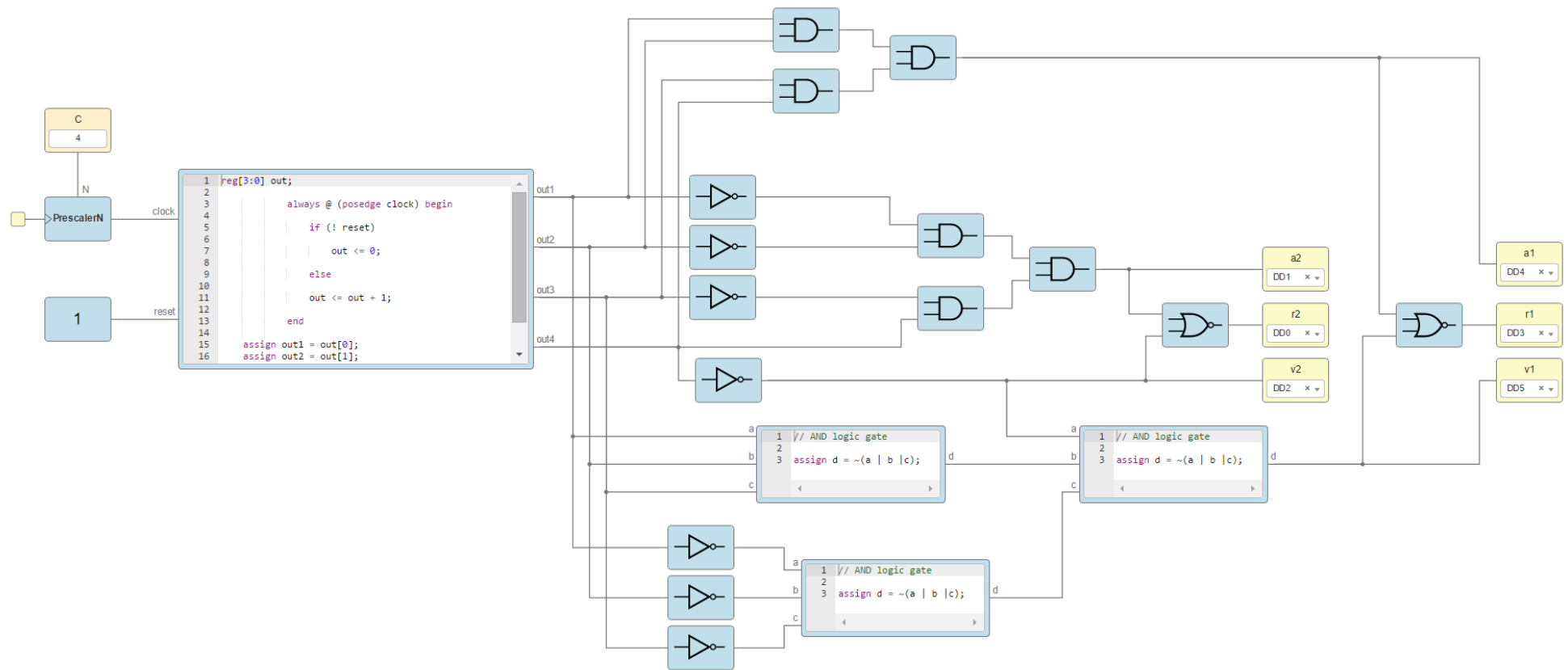
## Simulació GKTWave



### Simulació 3: Cruïlla de semàfors

En la simulació 3 es pot observar l'estat de cada LED depenen de les entrades rebudes a través de un comptador de 16 bits.

## Disseny de circuit



**Disseny 3: Cruïlla de semàfors**

La solució proposada [Disseny 3] consta de dos blocs, un primer bloc que genera un comptador de 4 bits, suficient per a generar tota la senyal de rellotge necessària per al circuit, i un segon bloc que consta de diferents portes lògiques que controla l'estat dels LEDs que formen el semàfor.

### Aplicació sobre placa

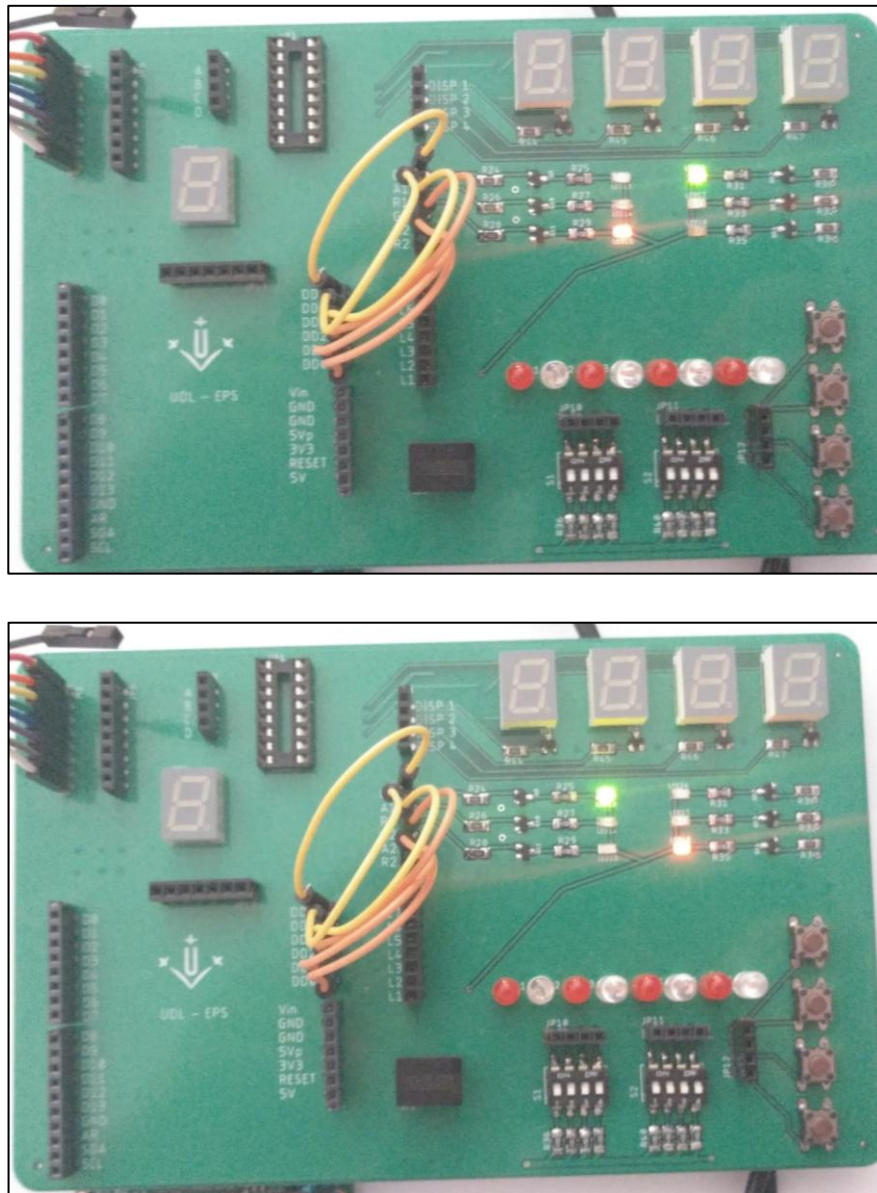


Figura 39: Resultat final de semàfors en placa

En la figura 39 podem observar quin seria el resultat final sobre la placa d'entrenament.

## 6.4. Pràctica 4: Control de nivell

### Enunciat

Es vol dissenyar un bloc combinacional que informi del nivell de cabal de un pantà a partir de la informació digital proporcionada pel sistema de mesura [Figura 40].

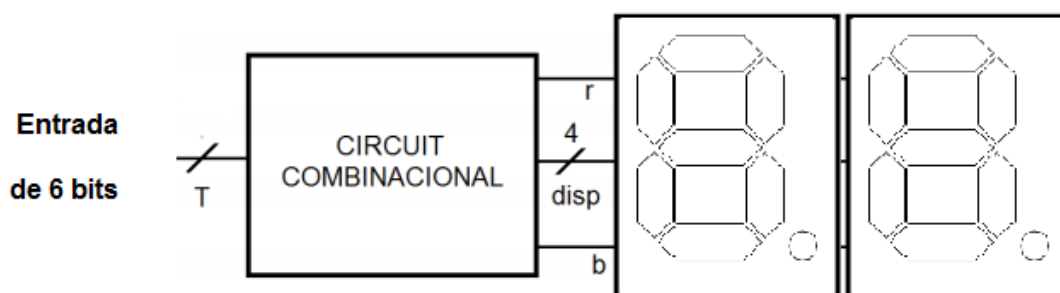


Figura 40: Circuit combinacional de control de nivell

El sistema sensor mesura la altura en el rang [0 m, 50 m], amb una precisió de 1 m, i la proporciona mitjançant  $H=(h_5, h_4, h_3, h_2, h_1, h_0)$ , un codi binari de 6 bits, de forma ordenada tal com es mostra a la taula:

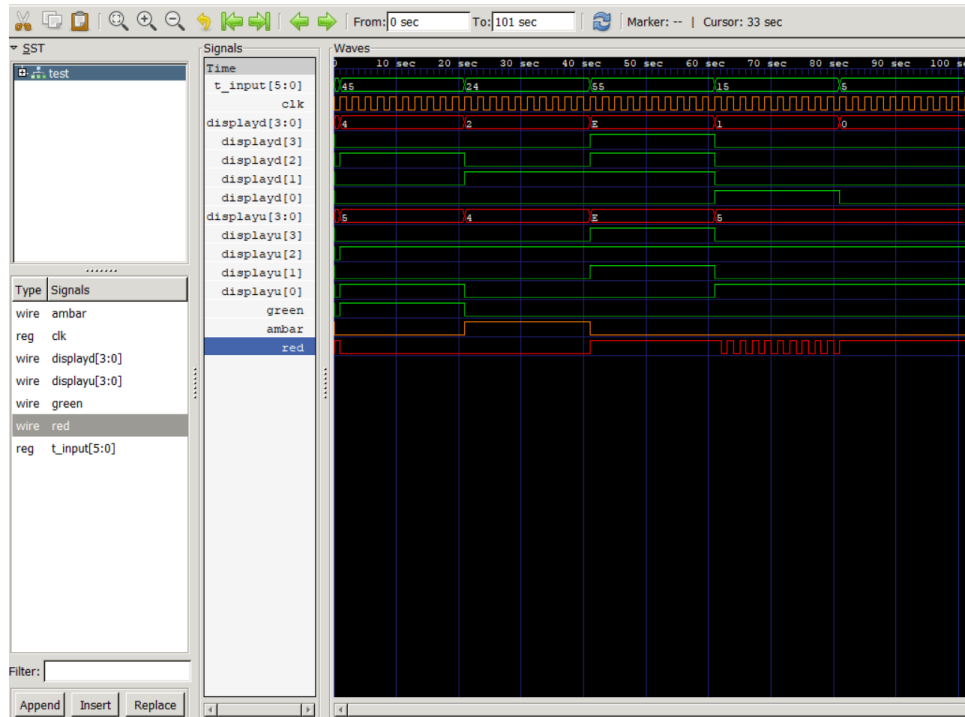
Altura (m)	$(h_5, h_4, h_3, h_2, h_1, h_0)$
0	0 0 0 0 0 0
1	0 0 0 0 0 1
----	- -
49	1 1 0 0 0 1
50	1 1 0 0 1 0

Taula 7: Rang de valors d'entrada

També s'afegirà un mòdul visualitzador que indicarà el nivell en el què és troba la altura de l'aigua, el mòdul visualitzador estarà format per:

- LED vermell parpellejant activat pel senyal d'entrada entre [ ] i fixe per un rang d'entrada entre [ ]
- LED groc activat pel senyal d'entrada entre el rang [ ]
- LED verd activat pel senyal d'entrada entre el rang [ ]
- DISPLAY DE 7 SEGMENTS controlat per l'entrada display de 4 bits:

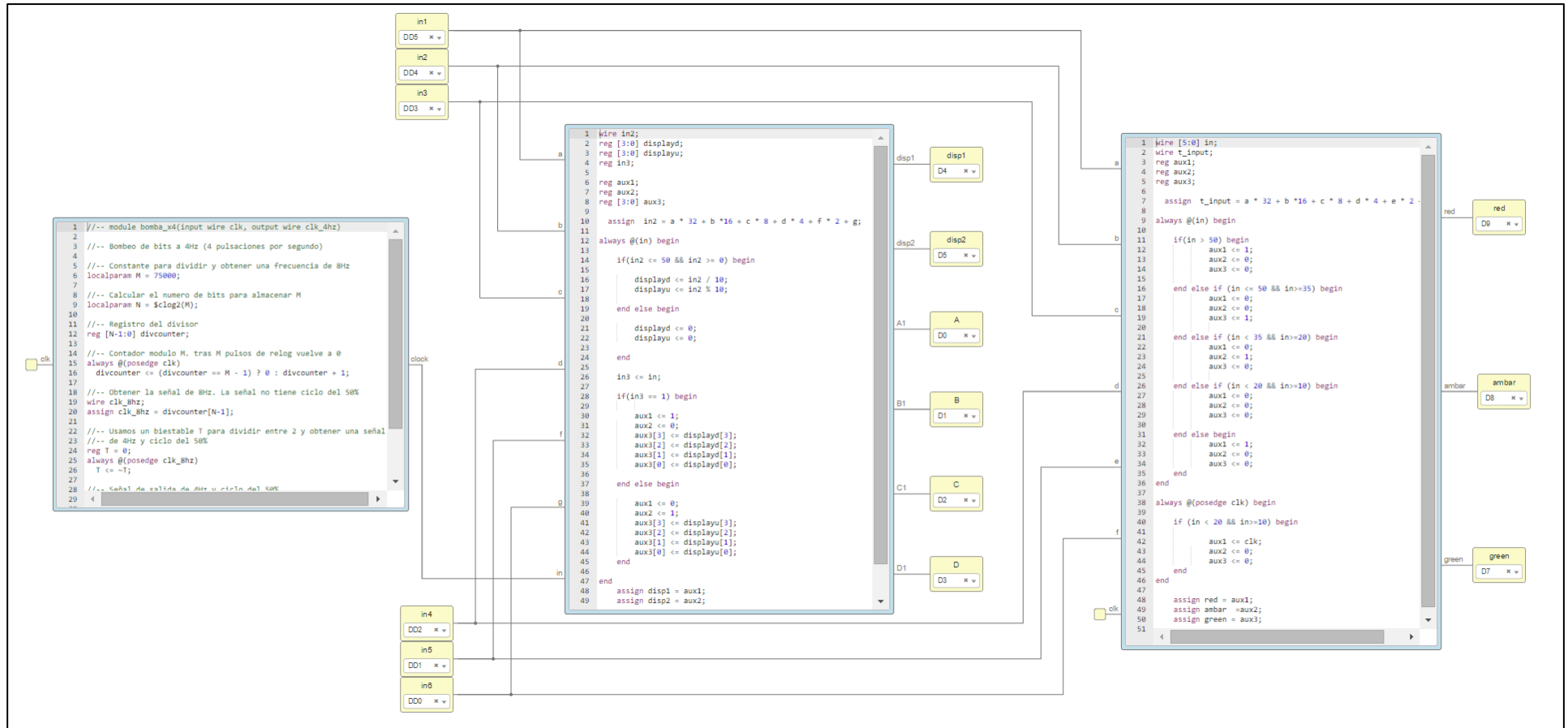
## Simulació en GTKwave



**Simulació 4 Control de nivell**

En la simulació 4 podem observar el comportament que tindria el circuit dissenyat, a partir de un seguit d'entrades aleatòries.

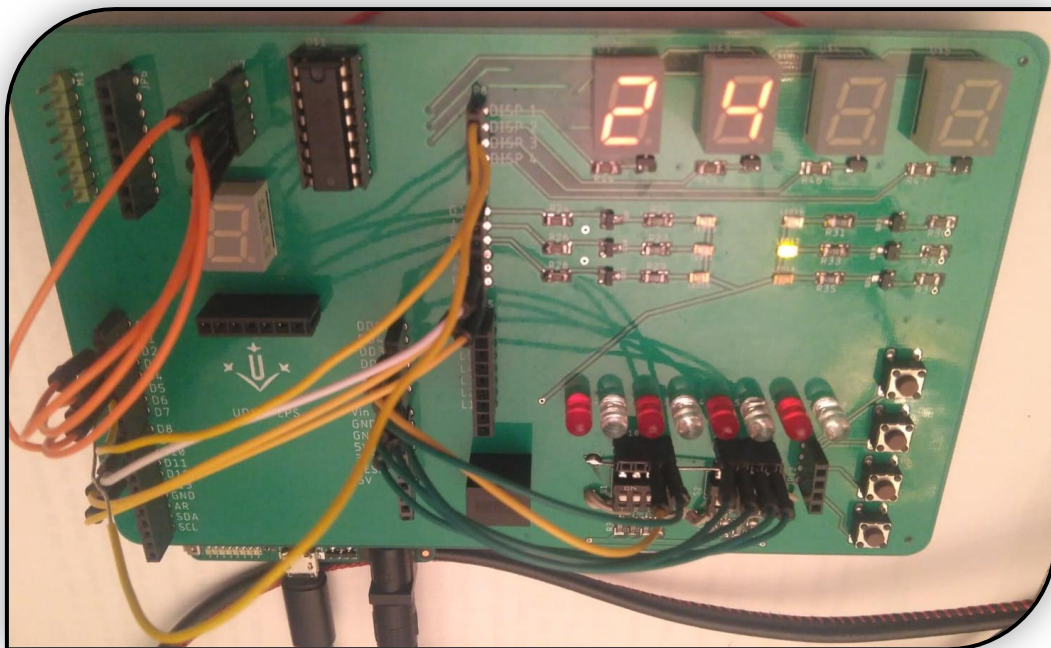
## Disseny de circuit



Disseny 4: Control de nivell d'un pantà

En el disseny 4 , la solució consisteix en un mòdul inicial de bombeig a una freqüència de 80 Hz que es fa servir per generar un senyal de rellotge, i de dos mòduls que realitzen la funció de multiplexors i comparadors a la vegada per obtenir la resposta desitjada.

### **Aplicació en Placa**



**Figura 41: Resultat sobre placa**

En la figura 41 podem observar quin seria el resultat final sobre la placa d'entrenament i com es realitzaria la connexió d'elements.



## 6.5. Pràctica 5: Encriptació

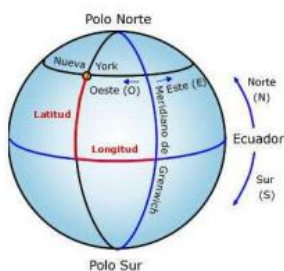
### Objectius:

- Dissenyar i simular un circuit digital combinacional, sumadors, comparadors i multiplexors
- Dissenyar i sintetitzar un sistema de 4 control de displays de 7-segments mitjançant un sol descodificador.

### Enunciat

Lleida 1943.- Un criptògraf de l'exèrcit aliat que treballa al Regne Unit al laboratori del matemàtic anglès Alan Turing s'ha posat en contacte amb tu per tal que els ajudis a dissenyar un sistema d'encriptació de coordenades geogràfiques per evitar que l'exèrcit alemany, en cas d'interceptar les comunicacions de l'exèrcit aliat, no pugui saber quina serà la posició (longitud i latitud) on les tropes aliades planifiquen el desembarcament de Normandia.

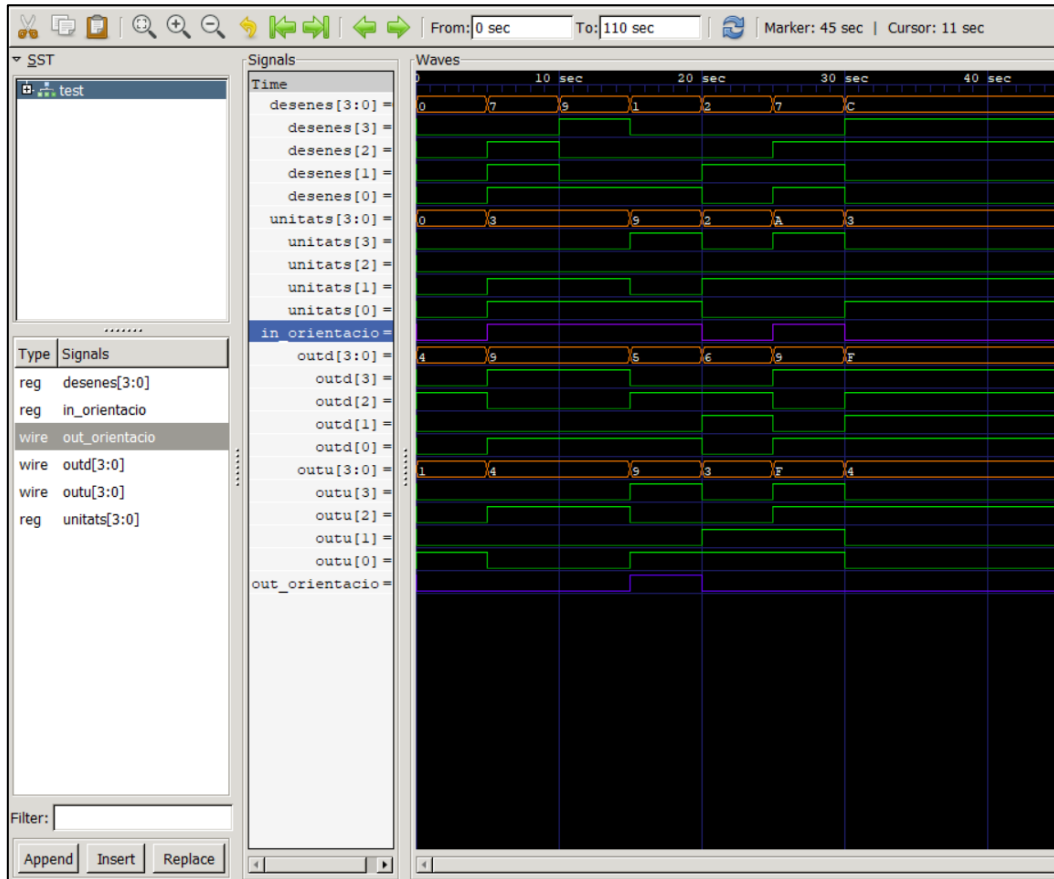
Et demana que et centris en el circuit d'encriptació de la latitud. Com ja saps (o hauries de saber...) La latitud proporciona la ubicació d'un lloc de la Terra, o d'un altre planeta, respecte del nord o sud del seu equador. Així, la latitud pren valors que van des dels  $0^\circ$  en l'equador fins als  $90^\circ$  N del pol Nord o els  $90^\circ$  S del pol Sud.



Els requeriments del circuit d'enciptació són els següents:

- Cal que l'usuari pugui introduir la latitud (sense decimals) mitjançant dos números binaris (desenes i unitats) de 4 bits. ( Nota:  $0^{\circ} \leq \text{latitud} \leq 90^{\circ}$ ).
- La latitud introduïda per l'usuari s'ha de mostrar mitjançant dos displays de 7-segments (amb una interfície d'entrada de 4 bits).
- El circuit ha de disposar d'una entrada digital (0 o 1) per tal d'indicar si els graus de la latitud són nord (N) o sud (S) . Dos LEDs indicaran a l'usuari si la latitud és nord o sud.
- En el moment que l'usuari introdueixi el valor de la latitud i l'orientació (nord/sud) el circuit d'enciptació ha de proporcionar un nou valor de latitud enciptat seguint els següents criteris:
  - Si la latitud és  $\geq 40^{\circ}$  i  $< 80^{\circ}$  cal que les desenes de la coordenada s'incrementin en dos unitats i es canviï l'orientació.
  - Si la latitud és  $\geq 80^{\circ}$  NO s'incrementen les desenes de la coordenada però cal que SÍ es canviï l'orientació.
  - Si la latitud és  $< 40^{\circ}$  cal que les desenes de la coordenada s'incrementin en 4 unitats i NO es canviï l'orientació.
  - En els tres casos anteriors, cal que s'incrementin les unitats de la latitud (sumant-li una unitat) sempre que el valor de les unitats de la latitud d'entrada sigui  $\leq 3$ . En el cas que el valor de les unitats de la latitud d'entrada  $> 3$  el valor no es modifica.
- El circuit ha de disposar de 4 displays 7-segments (amb una interfície d'entrada de 4 bits) i 4 LEDs per tal d'observar la latitud enciptada i la latituds d'entrada.

## Simulació en GKTWave



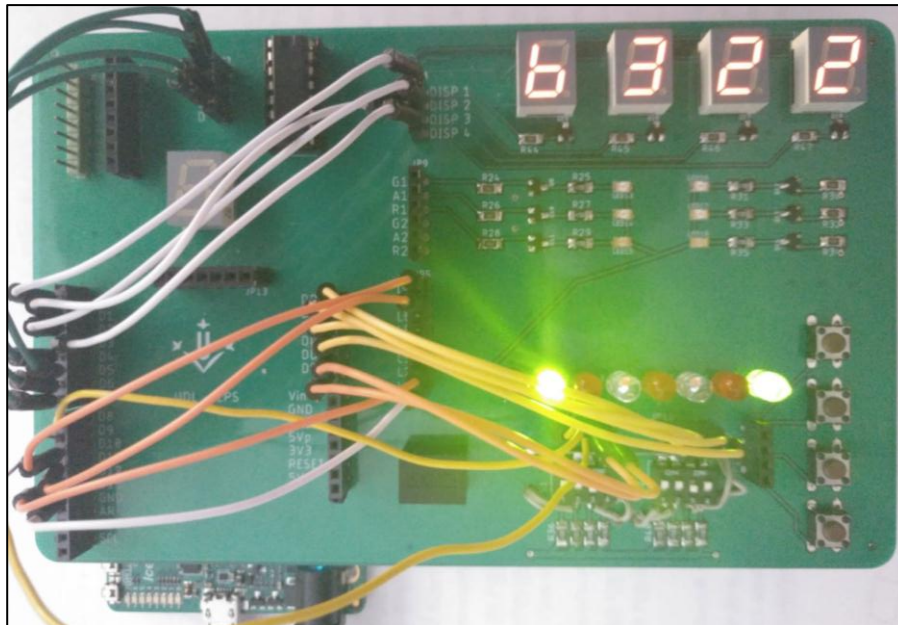
**Simulació 5: simulació d'encryptació de la latitud**

En la simulació 5 podem observar les respostes al circuit dissenyat a partir de uns senyals generats aleatòriament.

## Disseny de circuit

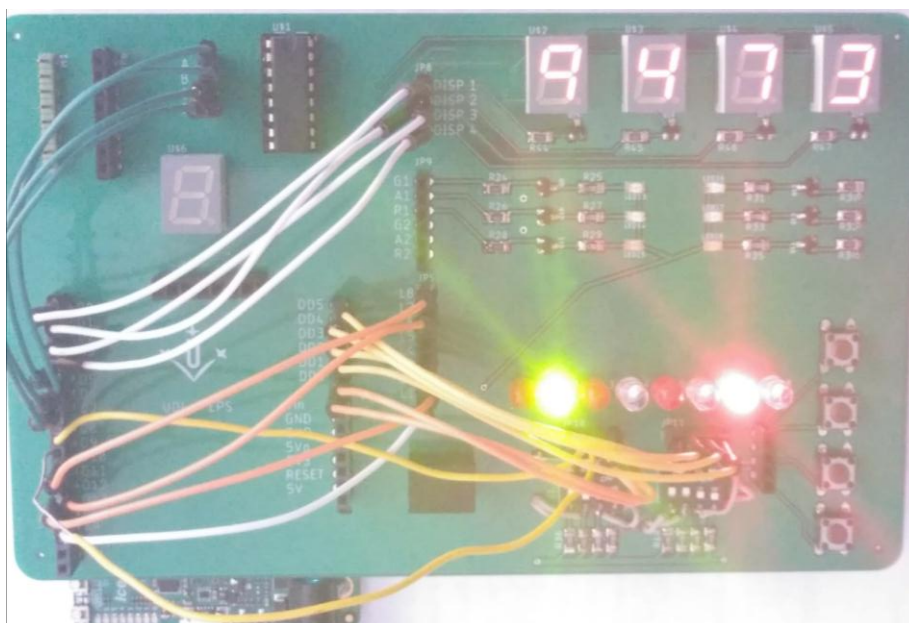


## Aplicació sobre placa



**Figura 42: Entrada de valor 22 sobre placa**

En la figura 42 podem observar quin valor de sortida tindríem per una entrada de valor 22º, als quals el circuit sumaria una unitat en la xifra de les unitats i quatre unitats en la xifra de les desenes. En aquest exemple no és canviaria la direcció de la orientació introduïda.



**Figura 43: Entrada de valor 73 sobre placa**

En aquest altre exemple [Figura 43] podem observar quin valor de sortida tindriem per una entrada de valor 73<sup>0</sup>, als quals el circuit sumaria una unitat en la xifra de les unitats i dos unitats en la xifra de les desenes. En aquest exemple és canviaria la direcció de la orientació introduïda.

## 6.6. Pràctica 6: Panell de seguretat

### Objectius:

- L'objectiu d'aquesta pràctica és dissenyar un circuit electrònic usant circuits combinacionals i seqüencials d'escala d'integració mitjana (MSI).
- Utilitzar i combinar tots els elements electrònics dels que disposa la placa.

### Enunciat

Es vol dissenyar el mòdul de validació d'un sistema de control d'accés mitjançant una contrasenya de 4 dígit [Figura 44] .

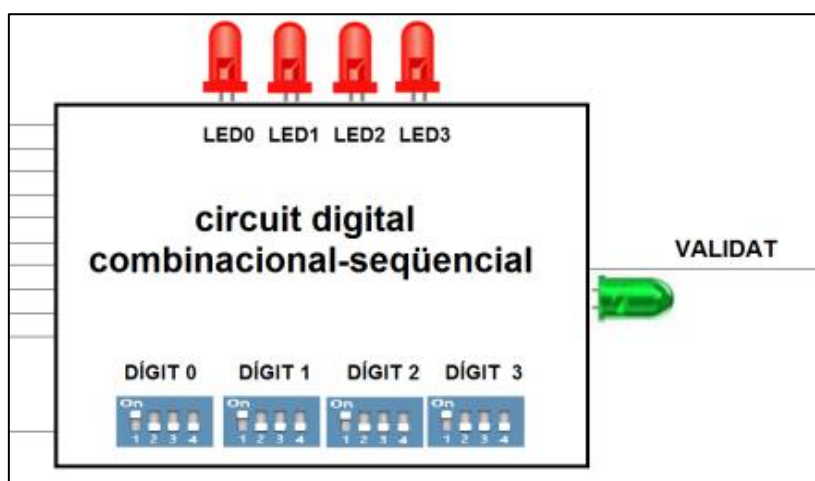
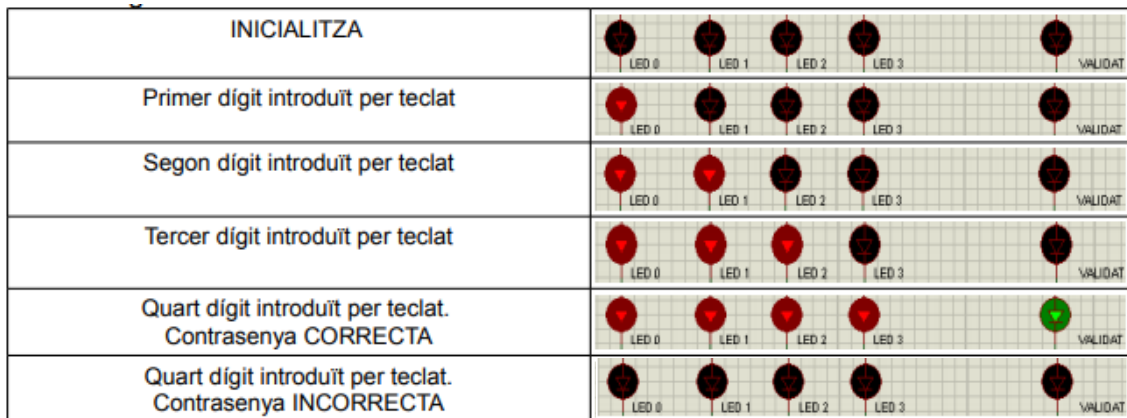


Figura 44: Sistema de control d'accés

El sistema disposa al seu interior de un mòdul que guarda els quatre dígit de la contrasenya. El circuit disposa d dos entrades, una entrada Store per a guardar una contrasenya i una entrada Validació per a posar en marxa el sistema de validació.

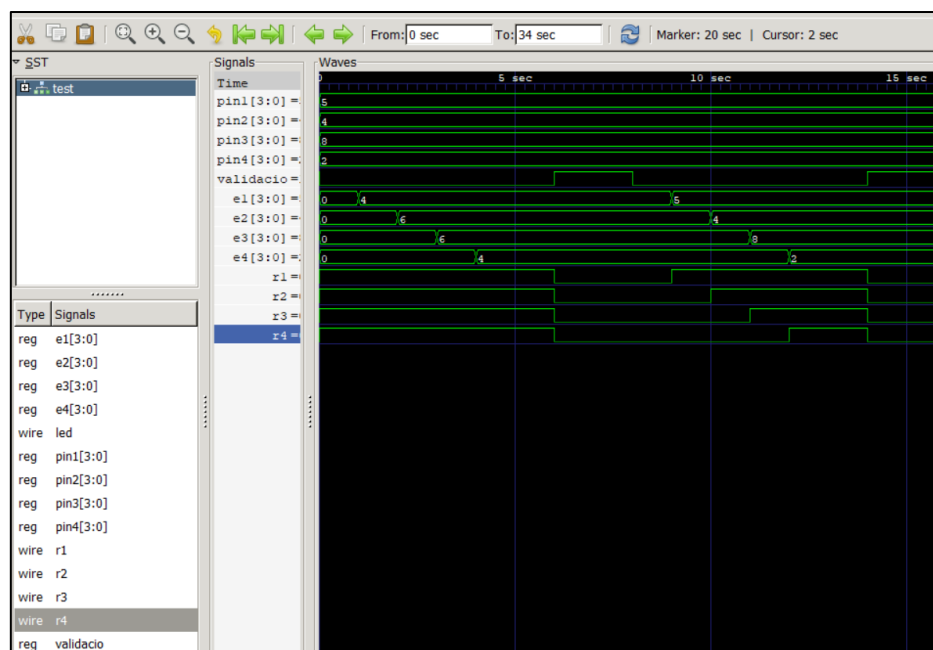
L'usuari disposa d'un interruptor DIP i de 4 polsadors per a introduir els 4 dígit de la contrasenya, cada polsador correspondrà a un dígit de la contrasenya. El circuit comprovarà que els quatre dígit introduïts es corresponen amb els dígit emmagatzemats en la memòria. En cas afirmatiu,

s'activarà la sortida VALIDAT i s'encendrà un LED de color verd. Cada cop que es registra un dígit queda encès el LED vermell corresponent. Aquest no s'apaga fins que no es rep el senyal Validació [Figura 45].



**Figura 45: sistema de validació de contrasenya**

## Simulació en Gtkwave.

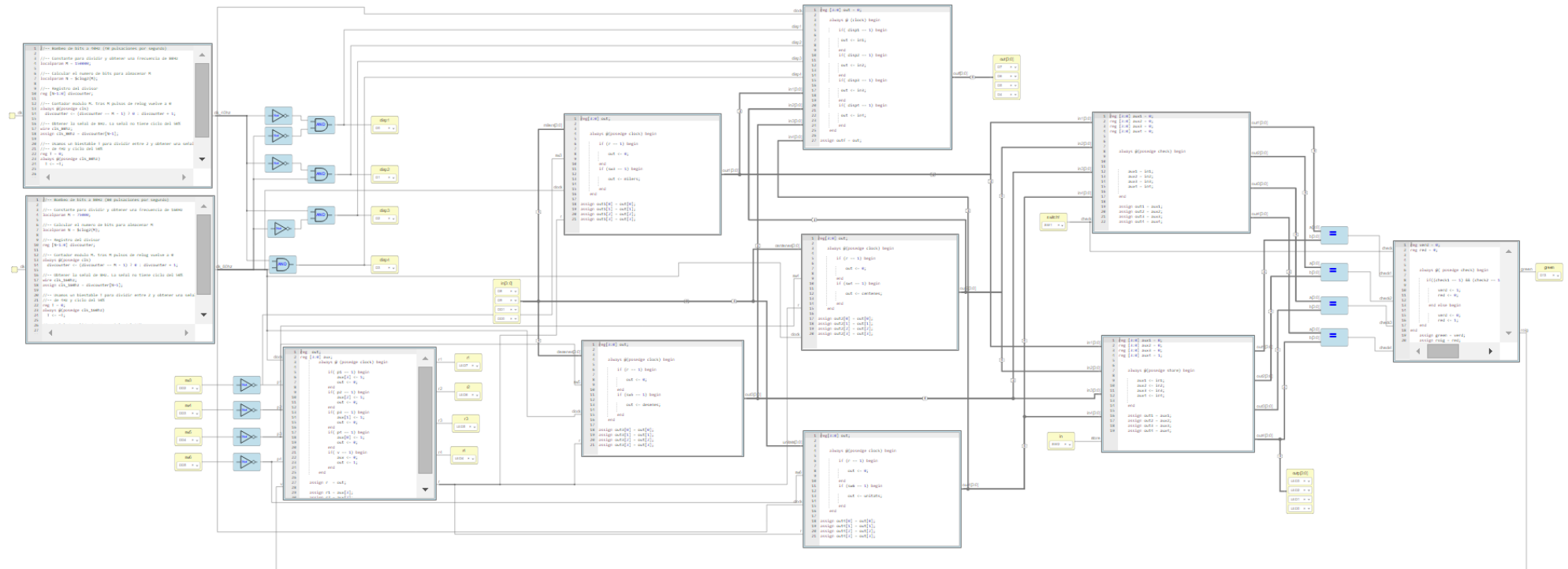


**Simulació 6: Simulació de validació de contrasenya**

En la simulació 6 podem observar les respostes al circuit dissenyat a partir de uns senyals d'entrada per a diversos valors de contrasenya.

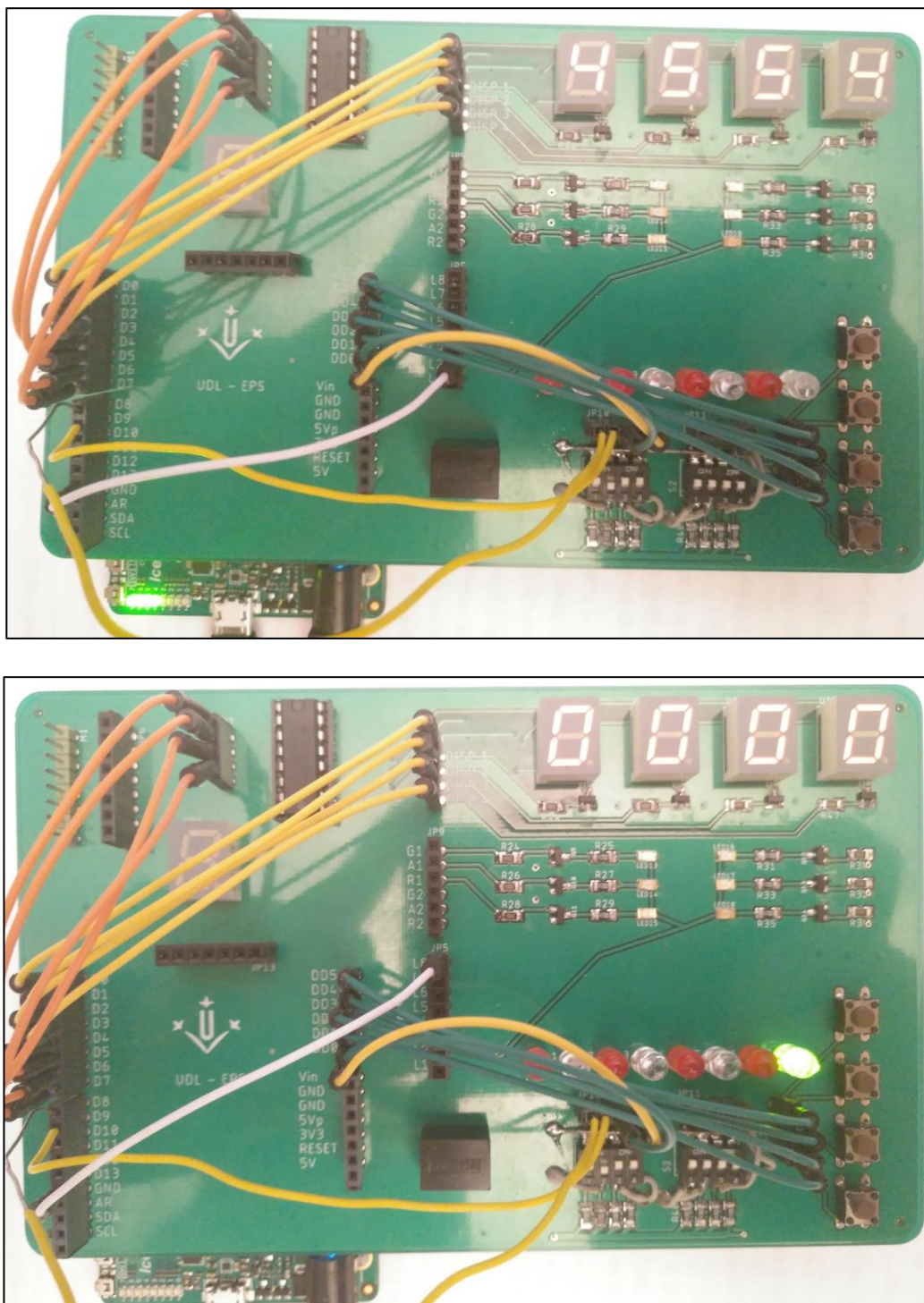


## Disseny de circuit



Disseny 6: Circuit de validació de contrasenya

## Aplicació en placa



**Figura 46: Resultat de control de validació en placa**

En la figura 46 podem observar el resultat final de la pràctica un cop introduïm la contrasenya i la validem.

## 7. Conclusió

Al llarg del projecte s'ha realitzat el procés de disseny d'una placa d'entrenament com a suport a una FPGA, per al disseny i implementació de circuits digitals, arribant a una solució que satisfà totes les característiques proposades al inici del projecte. Sent de principal importància haver pogut realitzar tot el procés de disseny i programació de la placa , utilitzant només eines de codi lliure, sense necessitat de la compra o adquisició de cap tipus de llicència.

A més a més, s'han pogut dissenyar un conjunt de pràctiques amb l'objectiu que serveixin de base als estudiants a iniciar-se en el món de les FPGAs i que els ajudin a adquirir aptituds de disseny en aquestes.

També podem afirmar que en el mercat actual de FPGAs disposem de grans fabricants que ofereixen productes de gran qualitat i innovació, ja que els proveïdors de FPGA estan millorant aquesta tecnologia desenvolupant FPGA reconfigurables a nivell de sistema, contenint nuclis de microprocessador incrustats, memòria i propietats avançades.

En el mateix sentit, tampoc es pot deixar de banda la interrupció de FPGAs lliures, que poden esdevenir un motor de creixement i un impulsio per a la seva utilització.

## 7.1. Cost del projecte

Concepte	Temps(h)
Investigació teòrica	30
Estudi del llenguatge	40
Planificació i construcció de la placa	20
Realització de les pràctiques	60
Redacció del document	30
<b>TOTAL</b>	<b>180</b>

Concepte	Cost (€)
FPGA: Icesum Alhambra	65

### Cost de disseny de la placa:

Concepte	Unitats	Cost unitat (€)	Cost (€)
Impressió placa	1	6	6
Resistències	52	0,015	0,78
Convertidor DC/DC	1	2,7	2,7
Display 7 -segments	5	0,81	4,05
LEDs estàndard	8	0,066	0,528
Transistor NPN	18	0,04	0,72
Interruptor DIP	2	0,42	0,84
Pin Header 20 Contactes	5	2	10
Teclat matricial	1	2,54	2,54
Interruptor DIP	4	0,15	0,6
<b>TOTAL (€)</b>			<b>28,76</b>

## 7.2. Elements del projecte

### **FPGA**

<https://alhambrabits.com/alhambra/>

### **Impressió placa**

[www.allpcb.com](http://www.allpcb.com)

### **Elements digitals**

<https://es.farnell.com/>

## 8. Bibliografia

A continuació es detallaran els recursos utilitzats per la realització del projecte.

### Capítol 2: Plaques FPGA

- Farooq, Umer, Marrakchi, Zied, and Mehrez, Habib, "Tree-based Heterogeneous FPGA Architectures"
- <https://www.electronicdesign.com/fpgas/principles-fpgas>
- <http://home.mit.bme.hu/~szedo/FPGA/fpgahw.htm>
- <https://www.engineersgarage.com/articles/field-programmable-gate-arrays-fpga>.
- Ian Kuon, Russell Tessier and Jonathan Rose: FPGA Architecture; Survey and Challenges. Boston, Now the essence of knowledge.
- <http://www.springer.com>
- <https://nodoelectronico.com>
- <https://planetachatbot.com/>
- <https://www.marketwatch.com/press-release/field-programmable-gate-array-fpga-market>
- <https://www.grandviewresearch.com/industry-analysis/fpga-market>
- <http://www.fundinguniverse.com/company-histories/xilinx-inc-history/>
- [https://www.eetimes.com/document.asp?doc\\_id=1161569](https://www.eetimes.com/document.asp?doc_id=1161569)
- <https://www.quicklogic.com/technologies/efpga-ip/arcticpro-efpga/>
- <https://learn.sparkfun.com/tutorials/pcb-basics>
- <https://www.xilinx.com/products/design-tools/hardware-zone.html>
- <http://www.latticesemi.com/en/Blog.aspx?tag=FPGA>
- <https://www.microsemi.com/>
- <https://www.reuters.com/article/us-altera-m-a-intel/intel-to-buy-altera-for-16-7-billion-in-its-biggest-deal-ever-idUSKBN0OH2E020150601>
- <http://sourcetechn411.com/2013/04/top-fpga-companies-for-2013/>
- [https://www.eetimes.com/document.asp?doc\\_id=1320345](https://www.eetimes.com/document.asp?doc_id=1320345)

- <https://web.archive.org/web/20070412183416/http://filebox.vt.edu/users/tmagin/history.htm>

### **Capítol 3: Projecte Icestorm**

- <http://www.clifford.at/icestorm/>
- <https://github.com/cliffordwolf/icestorm>
- <https://hackaday.com/tag/icestorm/>
- <https://symbiflow.github.io/>

### **Capítol 4: Disseny de circuits lògics**

- <https://alhambrabits.com/>
- <https://www.nandland.com/verilog/tutorials/index.html>
- <http://www.verilogpro.com/>
- <https://github.com/Obijuan/open-fpga-verilog-tutorial>
- <http://iverilog.icarus.com/>
- <http://gtkwave.sourceforge.net/>
- <https://numato.com/kb/learning-fpga-verilog-beginners-guide-part-1-introduction/>
- <http://fpgalibre.sourceforge.net/>
- <http://fpgawars.github.io/>

### **Capítol 5: Disseny de la placa**

- PCB Design for Real-world EMI Control, Bruce Archambeault (August, 2002)
- <https://www.electronics-project-design.com/PCB-Design.html>
- <https://www.eurocircuits.com/pcb-design-guidelines/>
- Make Your Own PCBs with EAGLE: from Schematic Designs to Finished Boards, Simon Monk, July, 2014